

Лекція 25

Регістри

Мета лекції: вивчити побудову регістрів, їх різновиди та характеристики

План лекції:

25.1 Характеристики регістрів

25.2 Регістри паралельного типу(без зсуву)

25.3 Регістри послідовного типу(із зсувом)

25.4 Мікросхема К155ИР13

25.5 Застосування

25.6 Контрольно-навчальний тест до лекції 25

25.1 Характеристики регістрів

Регістр являє собою набір двійкових ланок (тригерів з керуючими елементами), головним призначенням якого є зберігання інформації у вигляді багаторозрядних двійкових чисел (двійкового коду). На відміну від пристроїв довгочасної пам'яті в регістрах інформація запам'ятовується короткочасно, тобто на період одного або кількох циклів роботи всієї системи. Регістри призначені для запису, зберігання і читання одного двійкового числа або іншої кодової комбінації. Крім цих основних операцій регістри виконують додаткові операції: інвертування коду, скидання в нульовий стан, перетворення послідовного коду в паралельний і навпаки.

В загальному випадку регістри забезпечують виконання наступних мікрооперацій:

- установка регістра в нуль(скидання, гасіння)
- прийом слова з іншого регістра, лічильника й т.п.
- передача слів на інший регістр, лічильник і т.п.
- перетворення кодів збережених слів в інверсні коди
- зсув слова вліво або вправо на необхідне число розрядів
- перетворення послідовного коду в паралельний і навпаки

Схеми конкретних регістрів у деяких випадках можуть реалізувати лише деякі з перерахованих мікрооперацій.

Запам'ятовуючі елементи регістру за кількістю розрядів двійкового числа виготовляють на основі RS-, D-, JK-тригерів. Для допоміжних операцій (введення до регістру або виведення з нього числа, яке зберігається, перетворення коду двійкового числа, зсуву числа на певне число розрядів вліво або вправо) застосовують комбінаційні схеми на основі логічних елементів.

Залежно від способу запису інформації регістри розділяють на 2 типи

- 1) регістри паралельного типу (без зсуву)
- 2) регістри послідовного типу (із зсувом)

25.2 Регістри паралельного типу(без зсуву)

В паралельних регістрах інформація (двійкові числа - слова) записується одночасно до всіх розрядів (паралельний код). Паралельним регістром називається такий регістр, що реалізує всі перераховані мікрооперації за виключенням сдвигу й перетворення послідовного коду в паралельний і навпаки. Якщо в паралельному регістрі на вхід кожного каскаду інформація надходить по двох каналах у парафазному коді, то такий регістр називають парафазним. При наявності тільки одного каналу (прямого або інверсного) надходження інформації в кожному розряді регістра називають однофазним. Загальна схема паралельного регістру зображена на рис.25.1

Схема паралельного однофазного регістра, що виконує перші дві мікрооперації з наведеного вище списку, показана на рис. 25.2. На нульові входи всіх тригерів подається сигнал установки нульового стану ПО. Після подачі цього сигналу всі тригери регістра будуть перебувати в нульовому стані до появи на вхідних шинах записуваного слова й сигналу прийому ПК У тих розрядах, де $X_i = 1$, відбудеться установка тригерів в одиничний стан. Там же, де $X_i = 0$, стан тригерів не змінюється. Видача інформації з регістра може відбуватися в прямому, інверсному й парафазному кодах. Схема видачі інформації в прямому й інверсному кодах показана на рис. 25.3. Де B1 - сигнал видачі прямого коду, B2 - сигнал видачі інверсного коду. Одночасна поява сигналів B1 й B2 заборонена. Схема регістра з видачею парафазного коду наведена на рис. 25.4. Схема прийому інформації в регістр без попередньої установки його в нуль представлена на рис 25.5. Використання парафазного коду забезпечує установку тригерів у необхідний стан незалежно від тієї інформації, що була записана в них раніше.

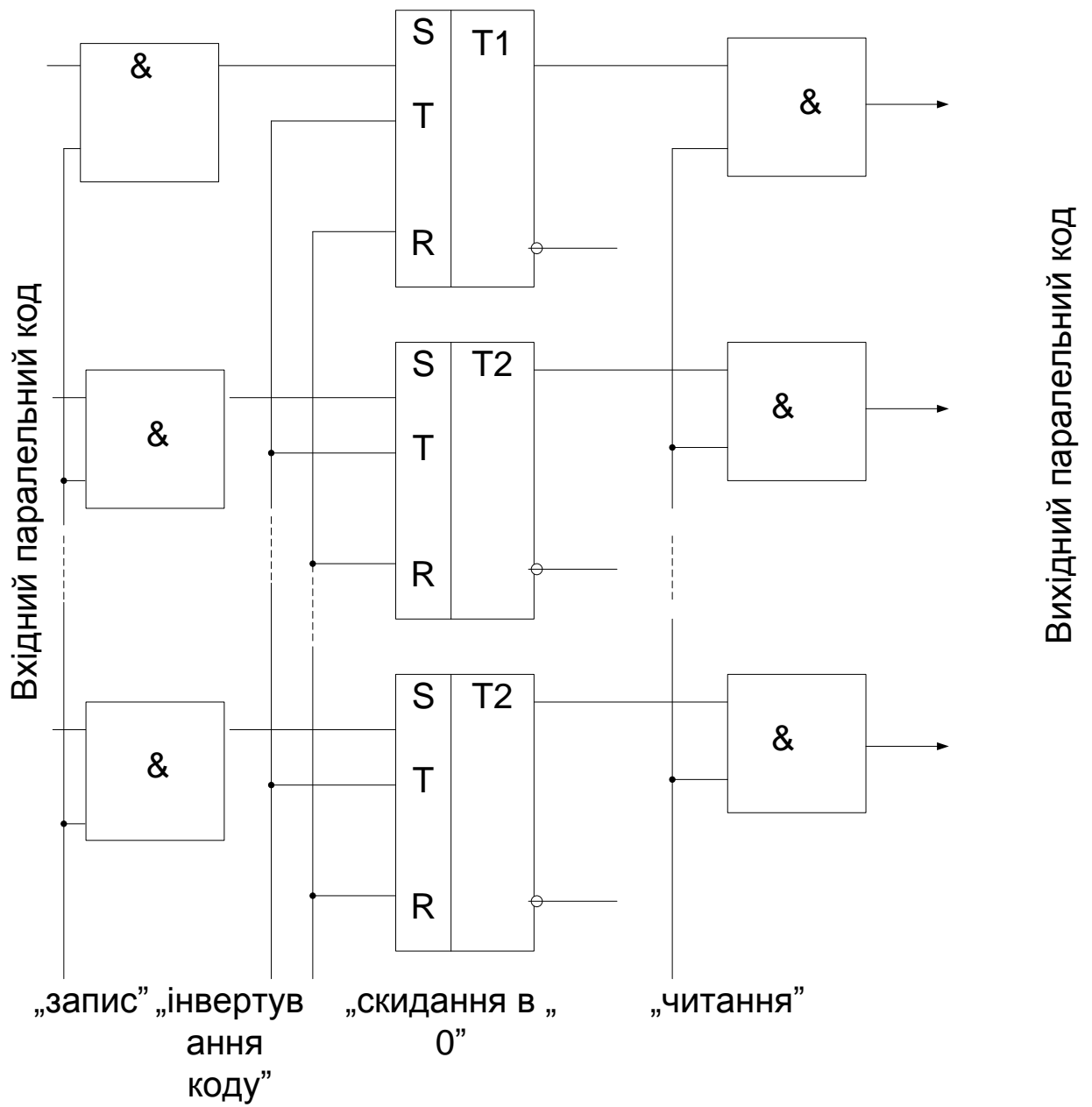


Рис.25.1 Загальна схема паралельного регістру

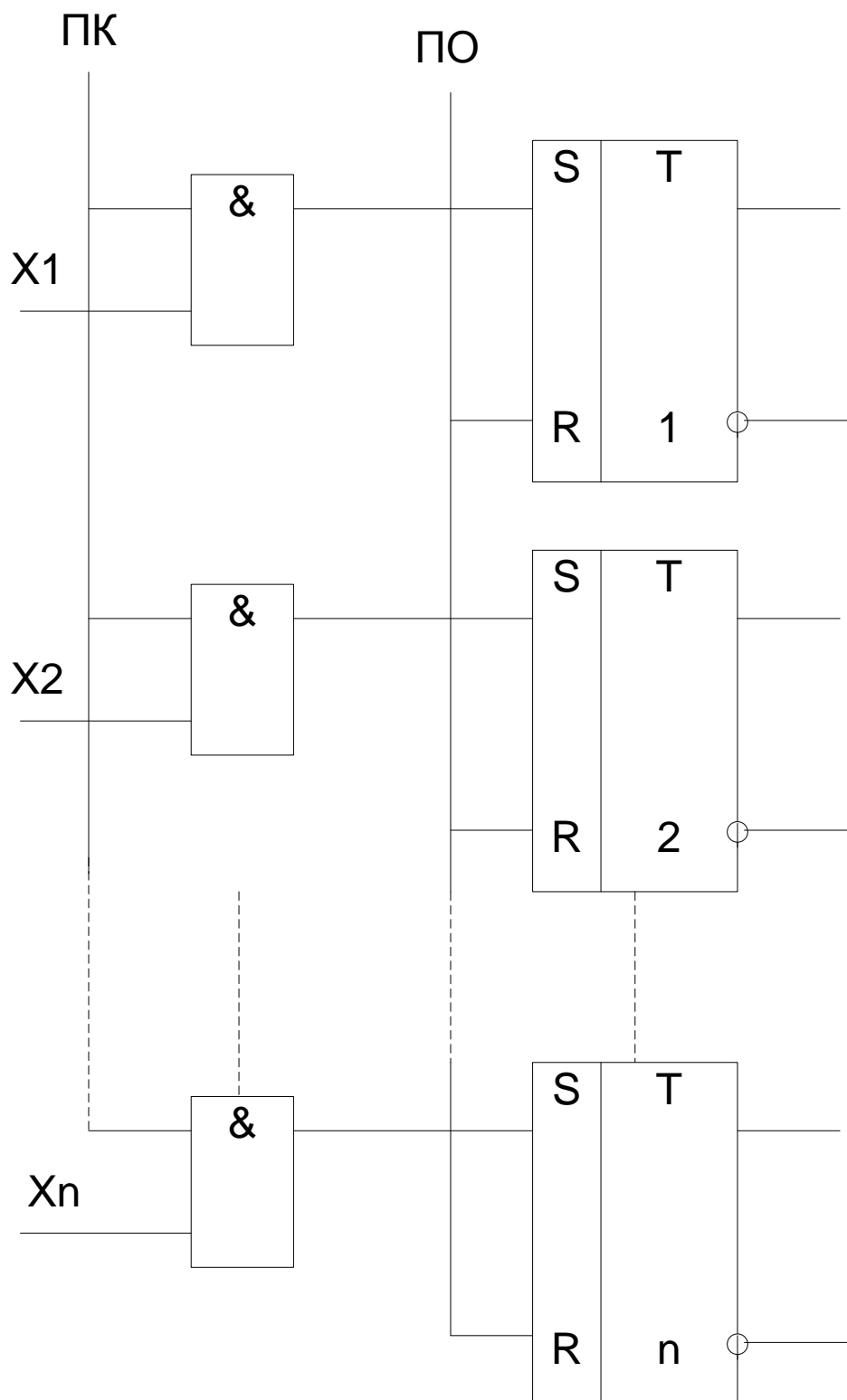


Рис.25.2 Схема параллельного однофазного регистра

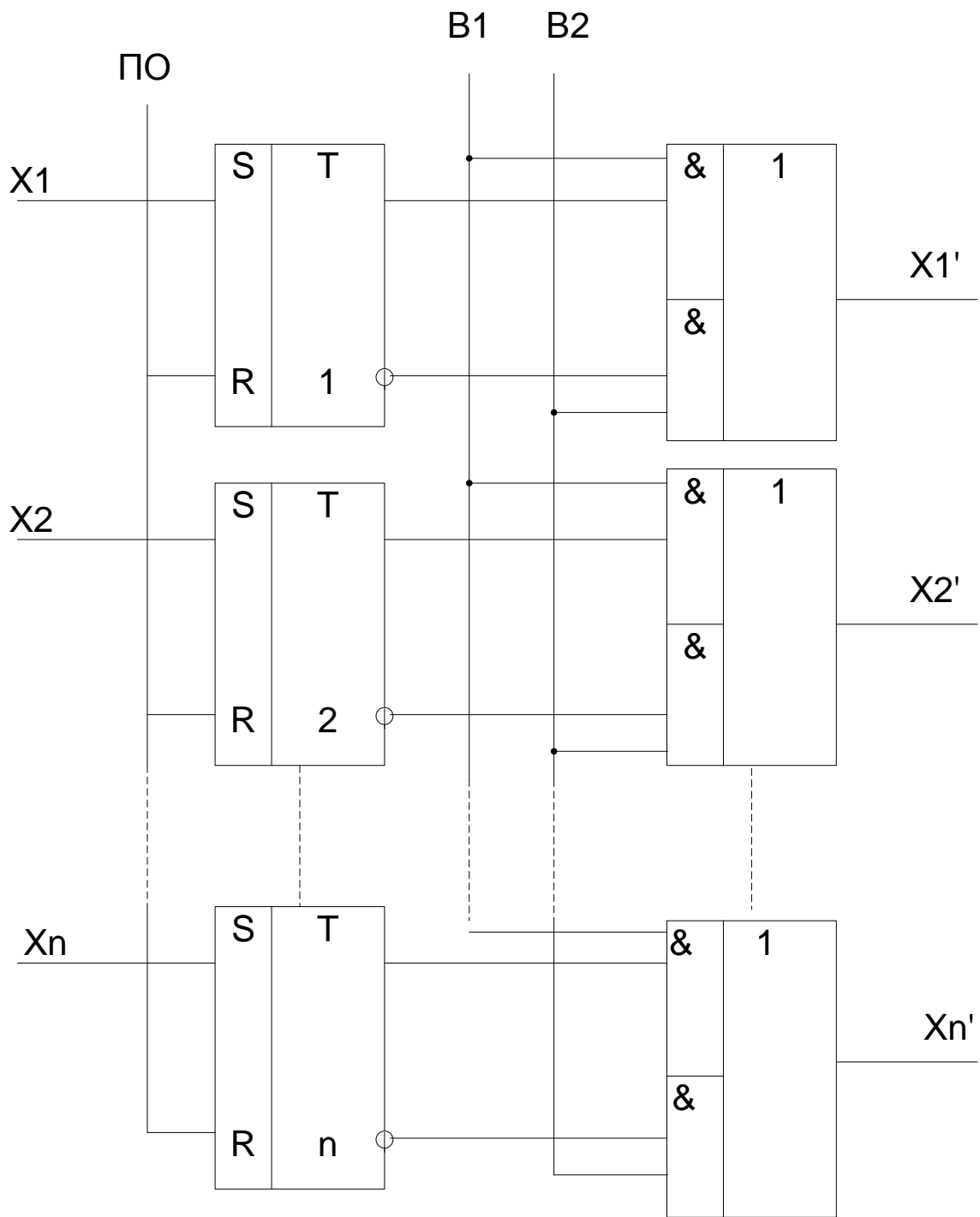


Рис.25.3 Схема видачі інформації в прямому й інверсному кодах

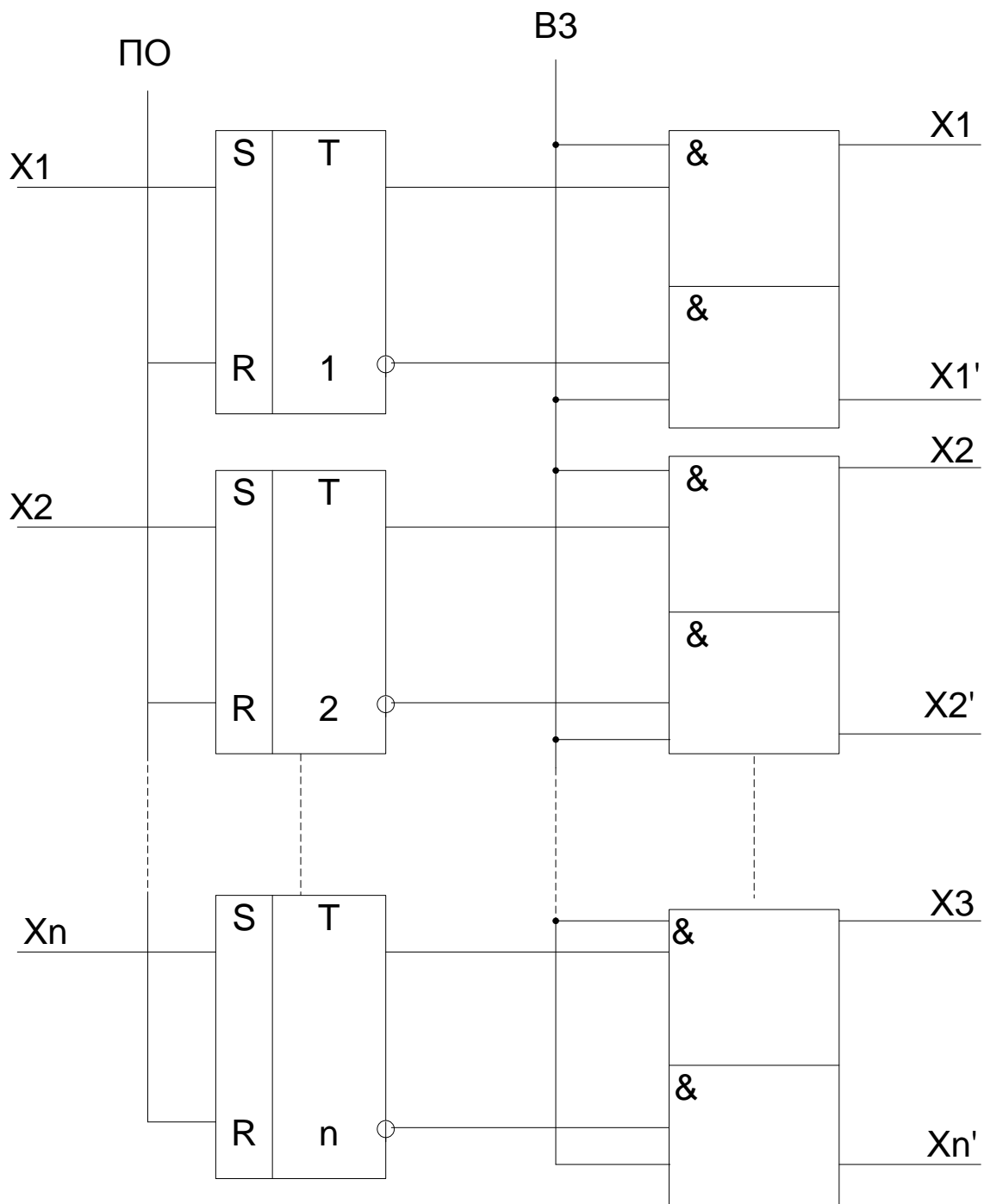


Рис.25.4 Схема регістра з видачею парафазного коду

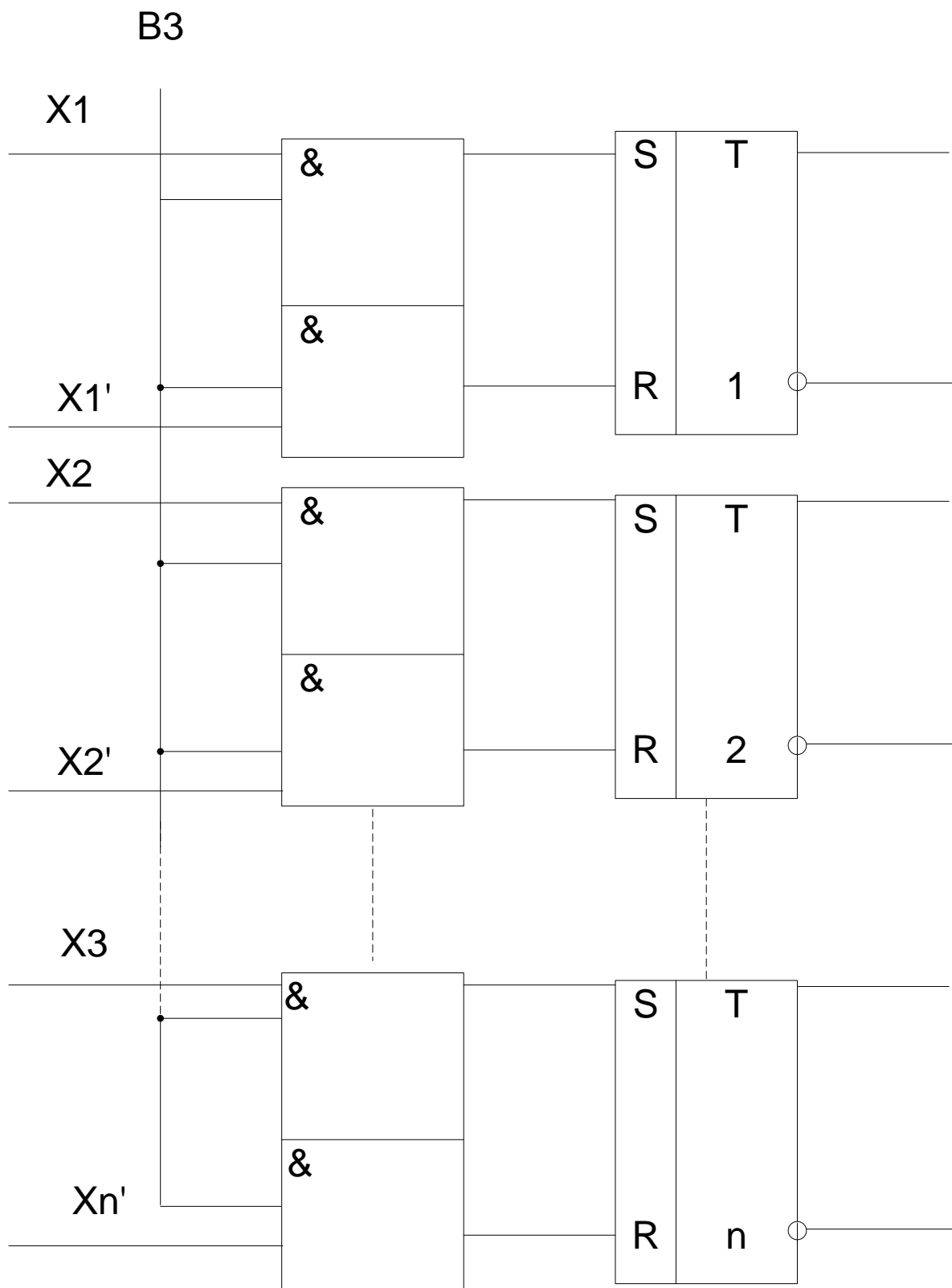


Рис.25.5 Схема прийому інформації в регістр без попередньої установки

25.3 Регістри послідовного типу(із зсувом)

Загальна структурна схема регістру послідовного типу(із зсувом) зображена на рис.25.6

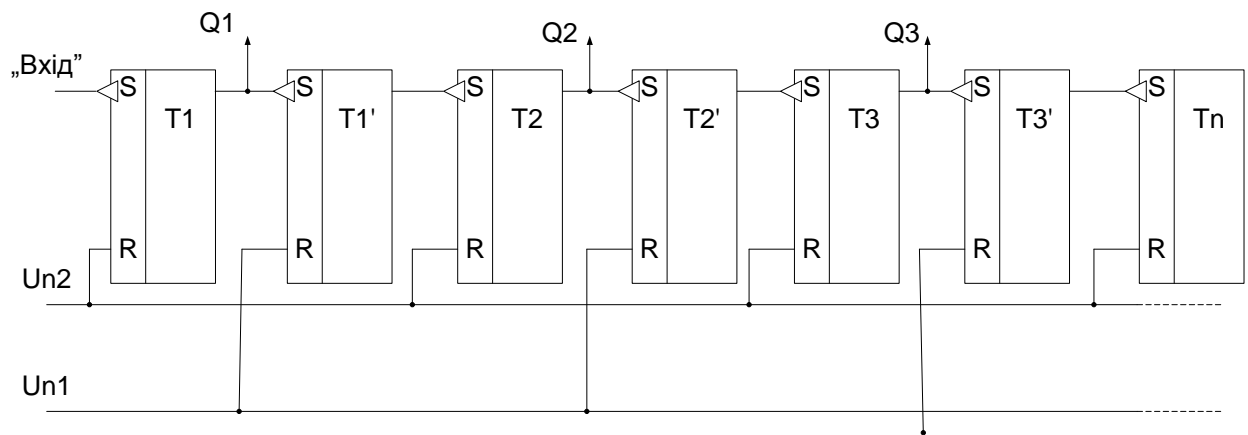


Рис.25.6 Загальна структурна схема регістру послідовного типу

Схема складається з попарно включених тригерів – основного T_i і допоміжного T_i' . Є дві шини просування імпульсів U_{n1} , U_{n2} . Нехай $Q_1 = 1$, а на виході $Q_n = 0$, тоді під дією сигналів U_{n1} , U_{n2} ця логічна одиниця буде просуватись вправо. Так само можна за допомогою U_{n1} , U_{n2} послідовно записати код в тригери $T_1 \dots T_n$, тобто послідовний код перетворити в паралельний. Для запису n-розрядного числа потрібно $2n$ імпульсів просування. Можна також записаний паралельний код за допомогою U_{n1} , U_{n2} просувати вправо і на виході Q_n з'явиться послідовний код.

На рис.25.7 представлена черговість імпульсів просування

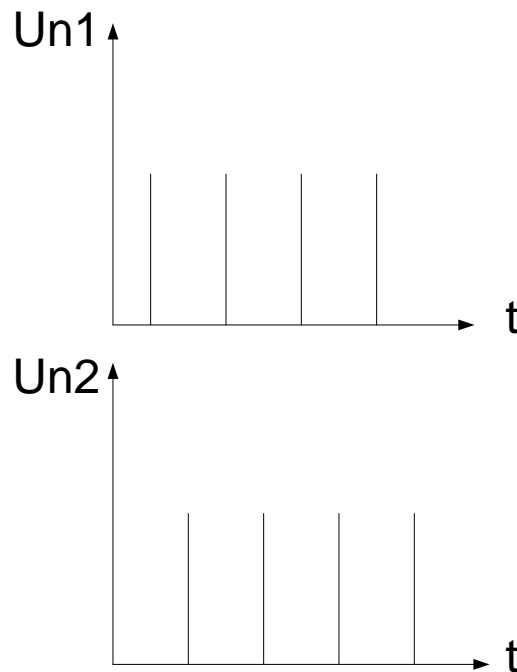


Рис.25.7 Черговість імпульсів просування

В послідовних регістрах здійснюється зсув коду числа за одноктактною або багатотактною схемою. Одноктактними регістрами керує одна послідовність, за якої зсув коду на один розряд здійснюється кожним зсуваючим імпульсом. Коли регістрами керує кілька послідовностей (дві, три і т. д.) імпульсів, вони називаються багатотактними (двотактними, тритактними і т. д.).

Схема однофазного паралельного регістра на тактованих тригерах показана на рис. 25.8. Кількість тригерів відповідає числу розрядів регістра. Кожний тригер зберігає код одного розряду числа, що запам'ятовується. В розглянутому випадку регістр зберігає код трирозрядного двійкового числа. Крім тригерів, у схемі регістра є схема вводу (запису) інформації на логічних елементах І (мікросхеми D1-D3) і схема виводу інформації однофазним способом в прямому коді на логічних елементах І-НІ (мікросхеми D4-D6).

На рис. 25.9,а) показана схема одноктного послідовного регістра для трирозрядного двійкового числа. Перша чарунка регістра являє собою молодший розряд, а третя — старший. Тому в такому регістрі спочатку записується старший розряд двійкового числа. Якщо змінити порядок розташування розрядних чарунок на зворотний, то запис до регістра числа починатиметься з його молодшого розряду.

Розглянемо принцип роботи регістра за часовими діаграмами (рис. 25.9, б), де за приклад взято код двійкового числа 110 (шість в десятковій системі). У відсутності сигналу на вході регістра останній встановлюють у стан 0 подаванням серії тактових імпульсів T_c , число яких дорівнює кількості розрядів у регістрі. Коли надходить до входу регістра код числа (запис інформації), одночасно подаються тактові імпульси, які впливають на всі тригери чарунок, причому цей вплив спрямований на перемикання тригерів із стану 1 у стан 0 із записом 1 в тригері наступної чарунки. Таким чином, тактові імпульси просувають число від молодшого розряду регістра до старшого. Після третього тактового імпульсу тригерні чарунки регістра набувають стану, який відповідає коду двійкового числа 110.

Зчитується інформація з виходу регістра в послідовному коді також подаванням серії тактових імпульсів. Інформацію можна знімати так само, як і в паралельних регістрах у паралельному коді, використовуючи виходи розрядів регістра. Необхідно зауважити, що частота тактових імпульсів загалом стала. Коли використовуються D-тригери, тактові імпульси подаються до синхронізуючих входів тригерів на кожний розряд числа.

Зсунути записане двійкове число у послідовному регістрі можна на один або n розрядів. При цьому операція зсуву відповідає множенню числа на 2^n . Наприклад, зсув двійкового числа 010 (два в десятковій системі) на один розряд дає число 100 (чотири в десятковій системі).

Тактові імпульси в одноктних регістрах впливають одночасно на переведення у певний стан тригерів всіх розрядів. Тому необхідно розподілити за часом не менш як на тривалість тактового імпульсу операції зчитування одиниці з тригера кожного розряду з операціями її перезапису в тригер кожного наступного розряду. Без цього перезапис одиниці в наступний розряд не відбудеться. Для перезапису між чарунками в коло передачі вмикають елементи затримки імпульсів запису одиниць в наступні чарунки на час дії тактових імпульсів. Однак елементи затримки, що вміщують реактивні елементи L та C, погано узгоджуються з методами планарної технології. Тому для рознесення в часі операцій зчитування і перезапису одиниці використовують як розрядні чарунки інтегральні RS-, JK-, D-тригери з внутрішньою затримкою. У таких регістрах операції зчитування і перезапису одиниці розподіляються у часі автоматично.

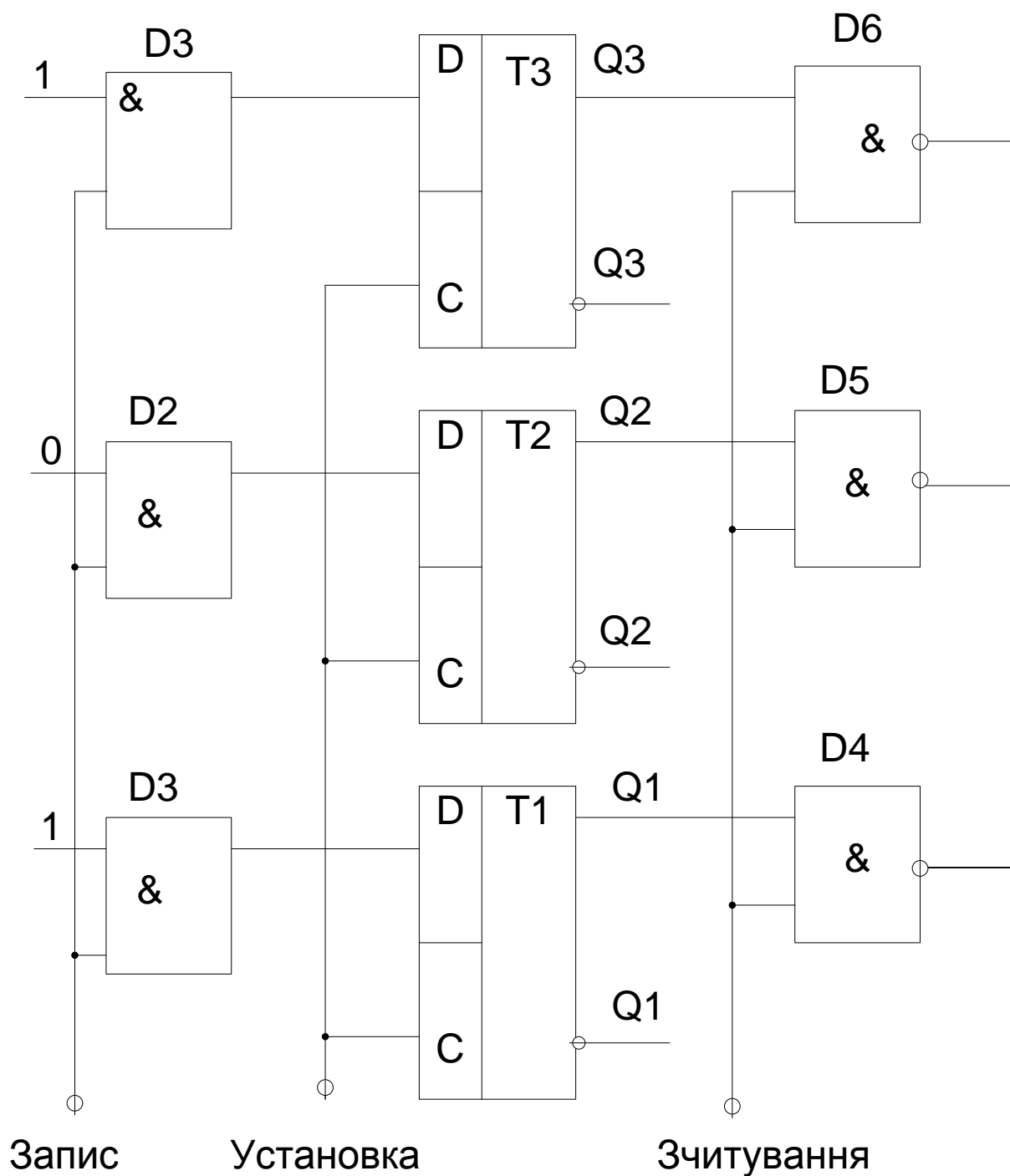


Рис. 25.8 Схема однофазного паралельного регістра

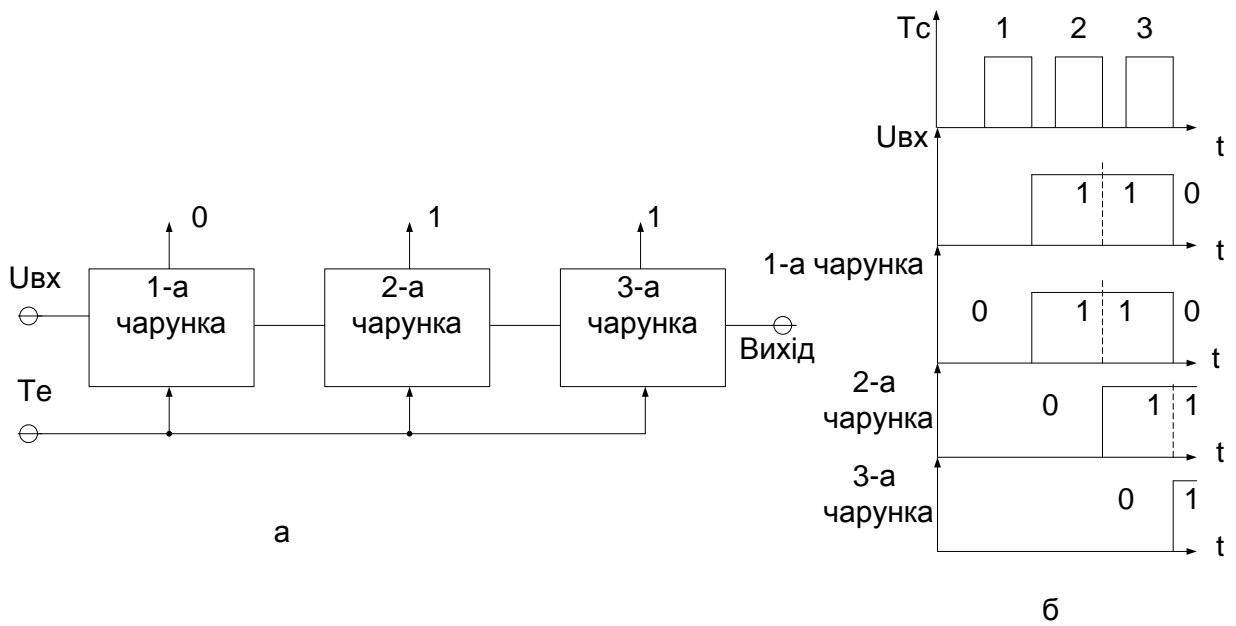


Рис. 25.9 Однотактний послідовний регістр для трирозрядного двійкового числа:
а)- схема; б)-часова діаграма роботи регістра

При зсуві слова в регістрі розряди слова, що вийшли за межі розрядної сітки регістра, губляться, а розряди, що звільнилися, заповнюються нулями. Регістри, які можуть здійснювати зсув слова як вліво, так і вправо, називають реверсивними. Регістр зсуву реалізує і перетворення послідовного коду в паралельний і навпаки. При перетворенні послідовного коду в паралельний запис слова в регістр виробляється синхронно із сдвигом його вмісту вліво, якщо послідовний код поступає зі старших розрядів, або вправо, якщо код надходить із молодших розрядів. Після заповнення всіх розрядів слідує паралельна видача слова через елементи І, підключені до виходів тригерів регістра.

При перетворенні паралельного коду в послідовний інформація заноситься в регістр паралельним кодом, а потім слідує серія з сигналів зсуву. Послідовний код зчитується із тригера молодшого розряду при зсуві вправо або ж з тригера старшого розряду при зсуві вліво.

Найбільше широко відомий тип регістра зсуву на JK-тригерах наведений на рис.25.10. Припустимо, що всі тригери спочатку перебувають у нульовому стані. Таку ситуацію можна забезпечити, подавши імпульси на лінію, безпосередньо з'єднану з виводом скидання кожного тригера (якщо такі передбачені), або зсуваючи ланцюжок нулів.

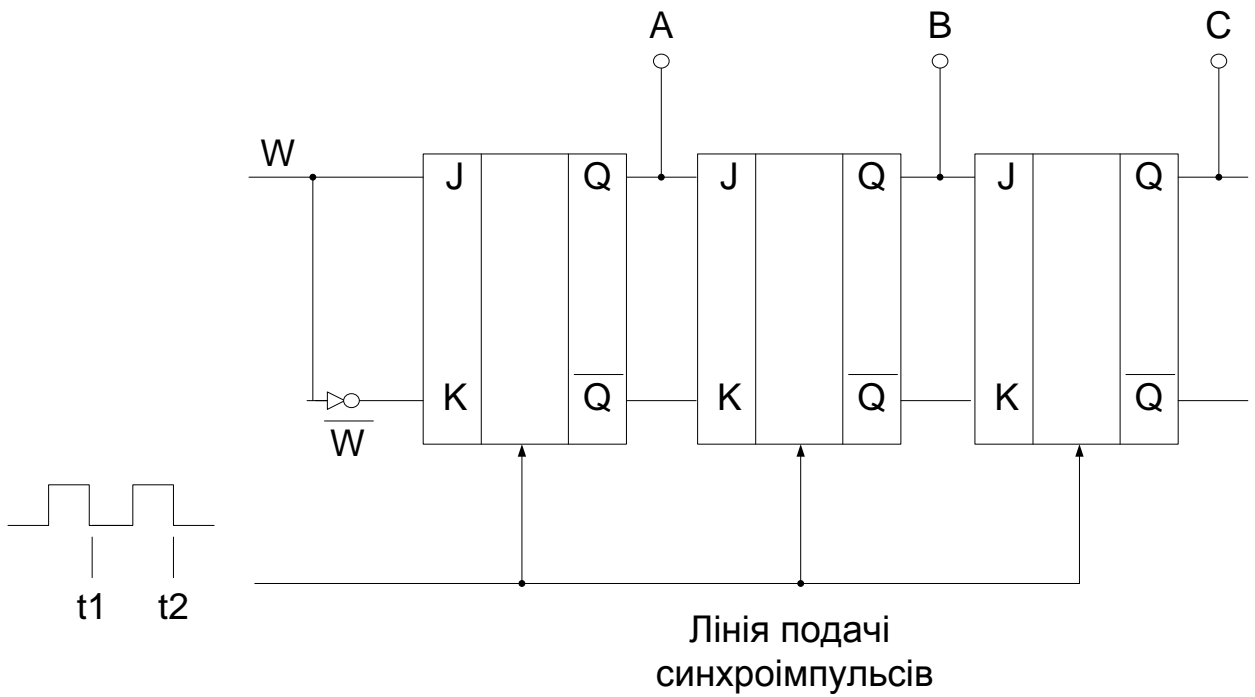


Рис.25.10 Регістр зсуву на JK-тригерах

Введення даних здійснюється в такий спосіб. Припустимо, що спочатку вхідна лінія W перебуває в стані W_1 (1 або 0). Оскільки $J = W$, а $K = \bar{W}$, після першого синхроімпульсу $A = W_1$. Тепер стан на вході стає рівним W_2 . Після другого синхроімпульсу $A = W_2$, а $B = W_1$. У табл. 25.1 показано, як інформація зсується по рядку. Залежно від конструктивного рішення стан на виході пристрою може змінюватися під час проходження переднього або заднього фронту синхроімпульсу або відразу після його проходження.

Таблиця 25.1 Зсув інформації по регістру

Час	Виходи		
	A	B	C
0	0	0	0
t_1	W_1	0	0
t_2	W_2	W_1	0
t_3	W_3	W_2	W_1
t_4	W_4	W_3	W_2

25.4 Мікросхема К155ИР13

Мікросхема К155ІР13 є 8-розрядним реверсивним регістром зсуву з паралельним синхронним записом інформації (рис. 25.11) на основі RS -тригерів.



Рис.25.11 Мікросхема К155ІР13

Синхронну роботу регістра забезпечують спеціальні входи вибору режиму S0 та S1. У таблиці 25.2 зазначені набори рівнів на цих входах, що дозволяють перевести регістр у режими:

- зберігання: на входах S0,S1 напруга низького рівня
- паралельного завантаження: на входах S0,S1 напруга високого рівня
- зсув вліво: S1 - високий рівень, S0 - низький рівень
- зсув вправо: S0 - високий рівень, S1 - низький рівень

Таблиця 25.2 Набори рівнів на входах мікросхеми К155ІР13

Режим роботи	C	R	S1	S0	DSR	DSL	Dn	Q0	Q1	Q2	Q3
Сброс	X	H	X	X	X	X	X	H	H	H	H
Зберігання	X	B	H	H	X	X	X	q0	q1	q2	q3
Зсув вліво	1	B	B	H	X	H	X	q1	q2	q3	H
	1	B	B	H	X	B	X	q1	q2	q3	B
Зсув вправо	1	B	H	B	H	X	X	H	q0	q1	q2
	1	B	H	B	B	X	X	B	q0	q1	q2
Паралельне завантаження	1	B	B	B	X	X	dn	d0	d1	d2	d3

У таблиці використані такі позначення:

- X - схема байдужа до будь-яких сигналів на даному вході
- B- високий статичний (вхідний або вихідний) рівень
- H - низький статичний (вхідний або вихідний) рівень
- Sh - високі або низький логічні рівні перед приходом тактового перепаду
- 1 - позитивний запускаючий перепад (фронт), на тактовому вході dn - дані (високий або низький рівень) на вході Dn
- qi - стан i-го виходу

Крім однотипних паралельних входів D0-D7, перший й останній розряди регістра мають додаткові D - входи: DSR - для зсуву вправо. DSL - для зсуву вліво. Станом входів S1, S0 визначається також прийом тактового перепаду від входу C. На входи S0, S1 перепад від високого рівня до низького можна подавати, коли на вході C присутня напруга високого рівня. При паралельному завантаженні (S1=b, S0=b) слово, підставлене на вході D0-D7, з'явиться на виходах Q0-Q7 після приходу наступного позитивного перепаду тактового імпульсу.

Скидання у регістрі K155IP13 - асинхронне: при подачі на вхід R активної напруги низького рівня на виходах Q0-Q7 фіксуються низькі рівні.

25.5 Застосування

-Перетворення послідовного коду в паралельний. Якщо 3-розрядне число або кодове слово $W_3W_2W_1$ (кожне W_i являє собою 0 або 1) подається на вхід 3-розрядного регістра зсуву й кожне введення здійснюється по синхроімпульсу, тобто W_3W_2 й W_1 будуть одночасно з'являтися на виходах тригерів.

-Перетворення паралельного коду в послідовний. Якщо до кожного тригера додати стробування входів, щоб інформацію можна було завантажувати паралельно, то зсувати її на вихід можна буде послідовно.

-Множення й розподіл. Аналогічно тому, як у десятковій системі числення числа можна множити й ділити на ступінь 10, зсуваючи кому (або залишаючи кому на місці й зсуваючи число), двійкові числа можна, зсуваючи, множити й ділити на ступінь 2. Такі регістри зсуву, реалізовані на інтегральних схемах, випускаються промисловістю.

-Тимчасова затримка й буферизація даних. Можна навмисно затримувати цифрову інформацію, пропускаючи її через регістр зсуву. Якщо немає необхідності в паралельних виходах, то легко виготовити регістри зсуву на інтегральних схемах із

сотнями розрядів. Багаторозрядні регістри зсуву застосовуються й для буферизації даних. Інформація, що завантажується в регістр, може бути витягнута через якийсь час і з іншою швидкістю.

-Пристрої пам'яті із циркуляцією даних. Якщо вихід регістру зсуву з'єднати із входом, то дані можна змусити циркулювати. На кожному з виходів знову будуть з'являтися дані в послідовній формі.

-Самодекодувальні лічильники. Якщо в регістр зсуву, всі розряди якого попередньо встановлені на 0, завантажити 1 (розряд № 0), то з кожним наступним синхроімпульсом вона зсунеться на один розряд. Після, наприклад, трьох синхроімпульсів високий рівень буде тільки на виході № 3.

25.6 Контрольно-навчальний тест до лекції 25

Питання 25.1

Залежно від способу запису інформації реєстри бувають:

Вибір правильної відповіді:

- 1-паралельні
- 2-перпендикулярні
- 3-колінеарні

Питання 25.2

На основі яких елементів можна побудувати запам'ятовуючий елемент реєстру ?

Вибір правильної відповіді:

- 1-Елементи АБО
- 2-Елементи НІ
- 3-RS- тригери

Питання 25.3

Для запису n-розрядного числа в реєстр послідовного типу потрібно:

Вибір правильної відповіді:

- 1-2n імпульсів просування
- 2- 2^{n-1} імпульсів просування
- 3-n імпульсів просування
- 4- n^2 імпульсів просування

Питання 25.4

Зсув двійкового числа у послідовному реєстрі на n розрядів вліво відповідає операції:

Вибір правильної відповіді:

- 1-множення числа на n
- 2-ділення числа на n
- 3-множення числа на 2^n
- 4-ділення числа на 2^n

Питання 25.5

При записі двійкового числа в послідовний реєстр (Рис.25.6) в Q_n знаходиться

Вибір правильної відповіді:

- 1- старший розряд
- 2- молодший розряд
- 3- може бути і той і той

Питання 25.6

Елементи затримки імпульсів запису одиниць в послідовних реєстрах найкраще реалізовується на

Вибір правильної відповіді:

- 1- інтегральних тригерах
- 2-С-елементах
- 3-L-елементах

Питання 25.7

Який код буде записаний в Q_1, Q_2, Q_3, Q_n Якщо $Q_1=0, Q_2=1, Q_3=0, Q_n=1$ (див. Рис.25.6) і на вхід подати 2 імпульси просування (при відсутності коду на вході)

Вибір правильної відповіді:

- 1-1101
- 2-0001
- 3-1010
- 4-1011

Питання 25.8

При зсуві слова вправо старші розряди, регістру будуть:

Вибір правильної відповіді:

- 1-заповнюватись нулями
- 2-заповнюватись одиницями
- 3-губитись
- 4-запам'ятовуватись для подальшого використання

Питання 25.9

Що відбудеться, якщо на шину скидання в нульовий стан (Рис. 25.2) подати "1"?

Вибір правильної відповіді

- 1- нічого
- 2- відбудеться інвертування коду
- 3- відбудеться скидання в нуль

Питання 25.10

Що обов'язково треба зробити для запису інформації в паралельний регістр (Рис. 25.2)?

Вибір правильної відповіді

- 1- спочатку подати на шину скидання в нуль "1", а потім подати "1" на шину запису
- 2- подати на шину запису "0", на шину скидання в нуль "1"
- 3- подати на шину запису "1", на шину скидання в нуль "0"

Питання 25.11

Для зберігання інформації у мікросхемі К155ІР13 на входи S0,S1 треба подати:

Вибір правильної відповіді:

- 1- на входах S0,S1 напруга низького рівня
- 2- на входах S0,S1 напруга високого рівня
- 3- S1 - високий рівень.
S0 - низький рівень
- 4- S0 - високий рівень
S1 - низький рівень