

$$L_0 = X_n + X_{n-1} + \dots + X_2 + X_1;$$

$$L_1 = X_n + X_{n-1} + \dots + X_2 + \bar{X}_1;$$

.....

$$L_{m-1} = \bar{X}_n + \bar{X}_{n-1} + \dots + \bar{X}_2 + \bar{X}_1;$$

де L_0, L_1, \dots, L_{m-1} - вихідні логічні функції, що є макстермами (конституенти 0) n змінних.

Індекс функції L_i визначає номер вибраного виходу і відповідає десятковому еквіваленту вхідного коду. Між двома видами вихідних функцій існує простий зв'язок: $F_i = \bar{L}_i$.

Дешифратори класифікуються за такими ознаками:

- способом структурної організації – одноступеневі (лінійні) і багатоступеневі, в тому числі пірамідальні та прямокутні (матричні);
- форматом вхідного коду – двійкові, двійково-десятькові;
- розрядністю коду, який дешифрується – 2, 3, ..., n ;
- формою подачі вхідного коду – з однофазними і пара фазними входами;
- кількістю виходів – повні і неповні дешифратори;
- видом вхідних стробуючих сигналів – в прямому, або інверсному значеннях;
- типом використовуваних логічних елементів – І, НЕ, АБО, НЕ І, НЕ АБО і т.д.

До основних характеристик дешифраторів відносять: число ступенів (каскадів) дешифрації, кількість використаних логічних елементів або мікросхем, загальне число входів логічних елементів, час дешифрації і споживану потужність.

Умовні графічні позначення дешифраторів на електричних схемах показані на рис.26.1.

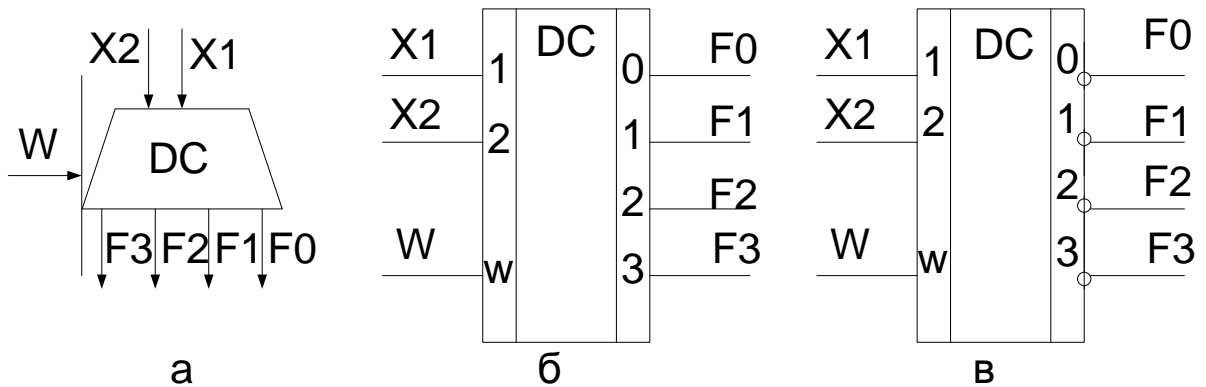


Рис.26.1 Умовні графічні позначення дешифратора:
 а – на функціональних схемах; б, в – на принципіальних схемах

Логічна функція дешифратора позначається буквами DC (decoder). Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних. У схему дешифраторів вбудовуються один або два стробуючих (дозволяючи) входи, наприклад, W (рис. 26.1, б). За допомогою сигналу на вході W визначається момент спрацювання дешифратора; крім того, вхід W використовується для нарощування розрядності вхідного коду. На практиці повний дешифратор на n входів і m виходів для стислості називають дешифратором „з n в m ”, або „ $n \rightarrow m$ ”. Наприклад, дешифратор „з 3 у 8” – активізується одна з восьми вихідних ліній.

В комп'ютерах дешифратори використовують для виконання таких операцій:

- дешифрації коду операції, записаного в регістр команд процесора, що забезпечує вибір потрібної мікропрограми;
- перетворення коду адреси операнда в команді в керуючі сигнали вибору заданої комірки пам'яті в процесі записування або читання інформації;
- забезпечення візуалізації на зовнішніх пристроях;
- реалізації логічних операцій та побудови мультиплексорів і демультиплексорів.

Використання дешифраторів для дешифрації коду операції і адреси операнда, розташованих в регістрі команд процесора, показано на рис. 26.2.

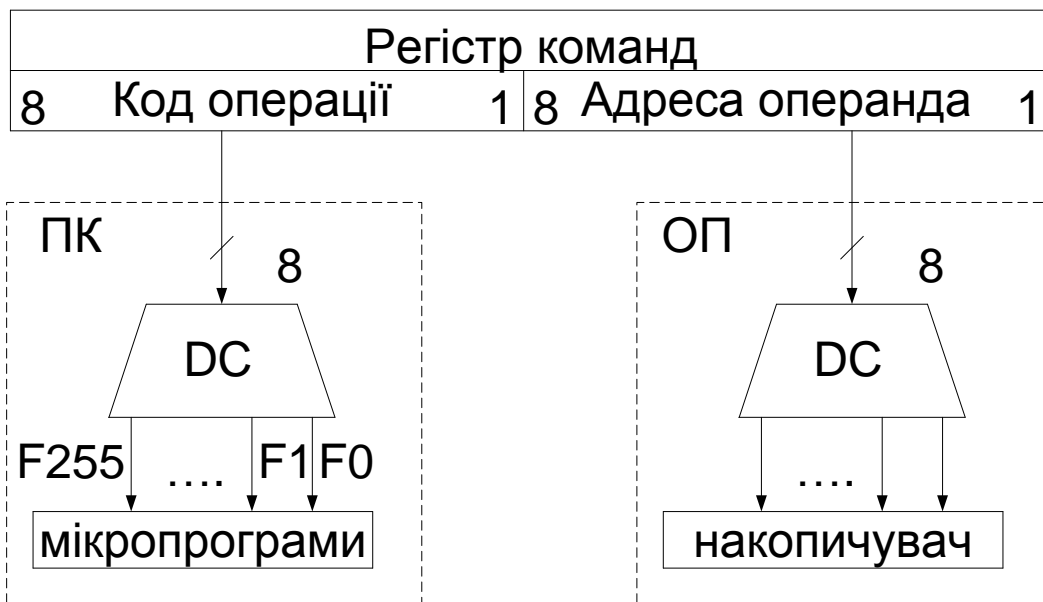


Рис.26.2. Ілюстрація використання дешифраторів

Дешифрація коду операції в пристрої керування (ПК) визначає тип машинної команди. Дешифрація адреси операнда в оперативній пам'яті (ОП) забезпечує доступ до вказаної комірки пам'яті для записування або зчитування даних.

X_2	X_1	F_0	F_1	F_2	F_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

26.1.2 *Лінійні дешифратори на два входи і чотири виходи*

У лінійному дешифраторі „з n в m ” кожна вихідна функція F_i реалізується повністю окремим n -вхідним логічним елементом при використанні

парафазного вхідного коду. Логіка роботи повних дешифраторів на два входи X_1, X_2 і чотири прямих виходи F_0, F_1, F_2, F_3 і чотири інверсних виходи L_0, L_1, L_2, L_3 наведена в табл. 26.1 і 26.2 відповідно.

Таблиця 26.1

26.2

X_2	X_1	L_0	L_1	L_2	L_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Таблиця

За даними табл. 26.1 отримують систему логічних функцій в ДДНФ:

$$F_0 = \bar{X}_2 \bar{X}_1; \quad F_1 = \bar{X}_2 X_1; \quad F_2 = X_2 \bar{X}_1; \quad F_3 = X_2 X_1; \quad (26.1)$$

Для лінійного дешифратора зі стробуючим входом W система рівнянь (26.1) набуває вигляду:

$$F_0 = \bar{X}_2 \bar{X}_1 W; \quad F_1 = \bar{X}_2 X_1 W; \quad F_2 = X_2 \bar{X}_1 W; \quad F_3 = X_2 X_1 W; \quad (26.2)$$

Схема лінійних дешифраторів на основі рівнянь (26.1) і (26.2) показана на рис. 26.3.

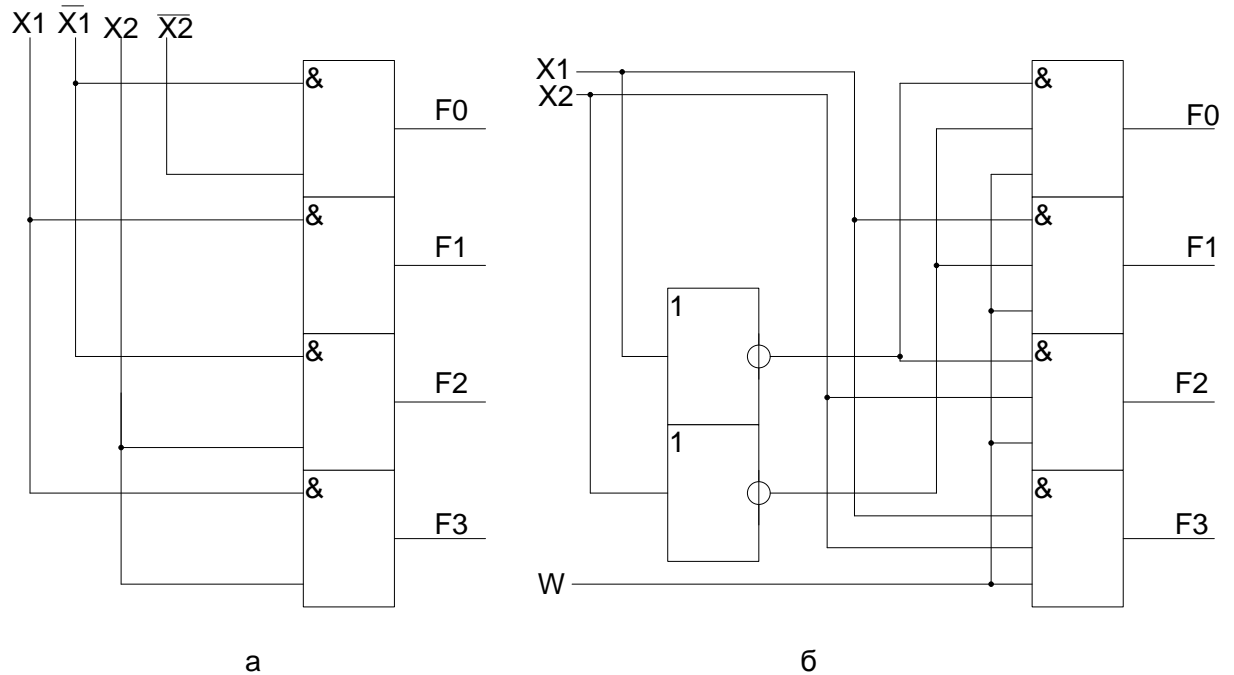


Рис.26.3. Схема лінійних дешифраторів на елементах І:
 а – з парафазними входами; б – з однофазними входами і стробуванням

26.1.3 Прямокутні дешифратори

Прямокутний дешифратор будується за двоступеневою схемою. При цьому вхідний код розбивається на дві групи по $n/2$ розрядів при парному n ; при непарній розрядності групи вміщують нерівне число змінних. Дві групи змінних декодуються на першому ступені двома повними лінійними дешифраторами, а на другому ступені формуються вихідні функції.

Умовно вважають, що один з дешифраторів першого ступеня формує адреси матриці, а другий – адреси стовпчиків матриці. На перетині ліній рядків і стовпчиків підключається $m = 2^n$ двовходових схем збігу, які утворюють другий, вихідний ступінь дешифратора. При парному n матриця вентилів квадратна, при непарному n – прямокутна. Тому такі дешифратори називають матричними, або прямокутними.

Запишемо систему вихідних функцій повного дешифратора „3 4 в 16” у вигляді таких скорочених значень:

$$\begin{aligned} F_0 &= a_0 b_0; & F_4 &= a_1 b_0; & F_8 &= a_2 b_0; & F_{12} &= a_3 b_0; \\ F_1 &= a_0 b_1; & F_5 &= a_1 b_1; & F_9 &= a_2 b_1; & F_{13} &= a_3 b_1; \end{aligned} \quad (26.3)$$

$$\begin{aligned}
 F_2 &= a_0 b_2; & F_6 &= a_1 b_2; & F_{10} &= a_2 b_2; & F_{14} &= a_3 b_2; \\
 F_3 &= a_0 b_3; & F_7 &= a_1 b_3; & F_{11} &= a_2 b_3; & F_{15} &= a_3 b_3;
 \end{aligned}$$

де введені дворозрядні функції a_i і b_i , які реалізуються дешифраторами рядків і стовпчиків відповідно:

$$\begin{aligned}
 b_0 &= \bar{X}_2 \bar{X}_1; & b_1 &= \bar{X}_2 X_1; & b_2 &= X_2 \bar{X}_1; & b_3 &= X_2 X_1; \\
 a_0 &= \bar{X}_4 \bar{X}_3; & a_1 &= \bar{X}_4 X_3; & a_2 &= X_4 \bar{X}_3; & a_3 &= X_4 X_3;
 \end{aligned} \tag{26.4}$$

Схема прямокутного дешифратора на основі рівнянь (26.3) і (26.4) показані на рис. 26.4.

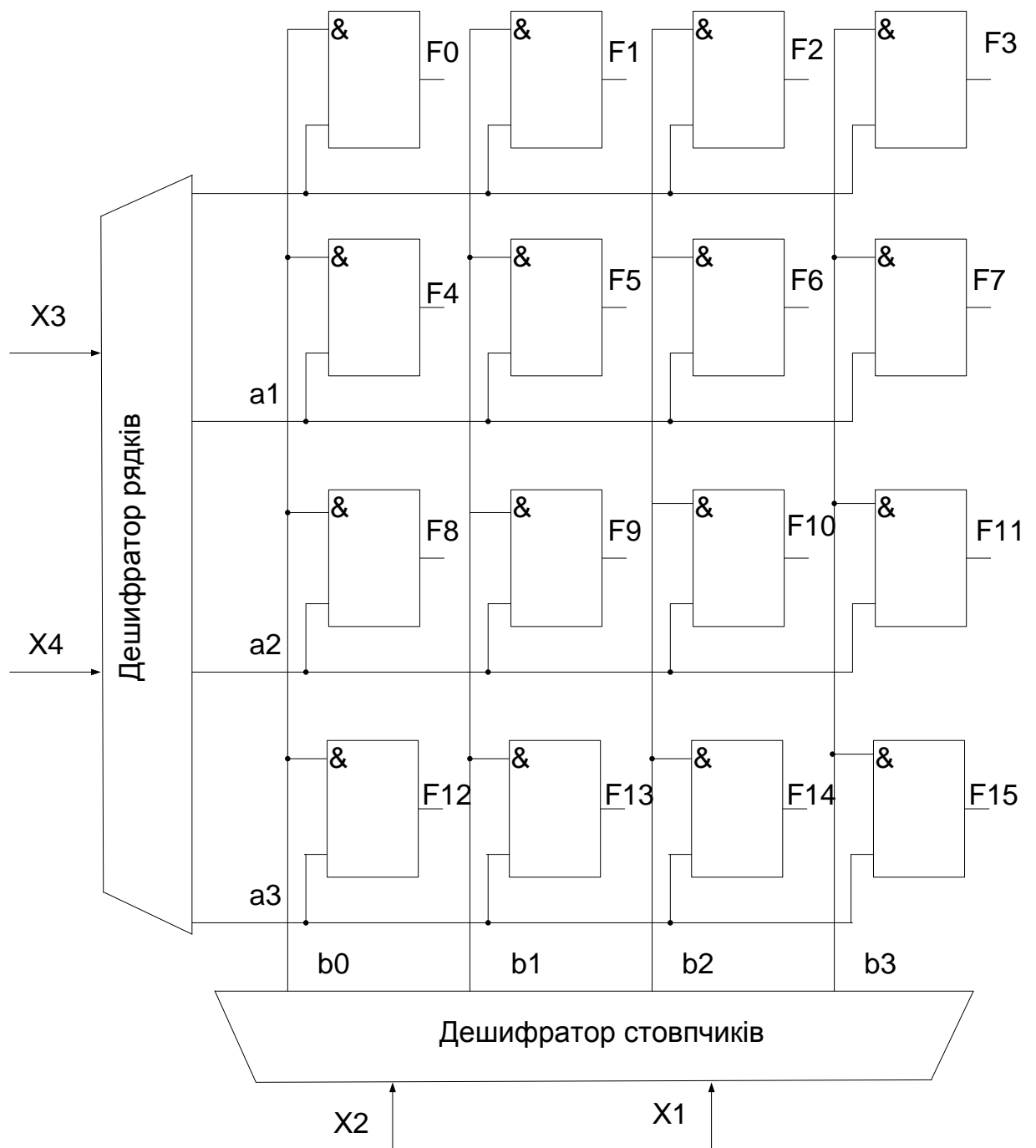


Рис.26.4. Схема прямокутного дешифратора

При великому числі розрядів прямокутний дешифратор майже у $n/2$ рази економічніший лінійного.

26.1.4 Багатоступеневі дешифратори. Каскадування дешифраторів.

Принцип побудови багатоступеневих дешифраторів полягає у послідовному розбитті вхідного багаторозрядного коду до отримання у кожній групі двох – трьох розрядів. Як приклад на рис. 26.5 показано розбиття коду, який дешифрується для $n = 10$ і $n = 13$. Після цього багатоступенева схема дешифратора зображується у вигляді з'єднання ряду лінійних схем.

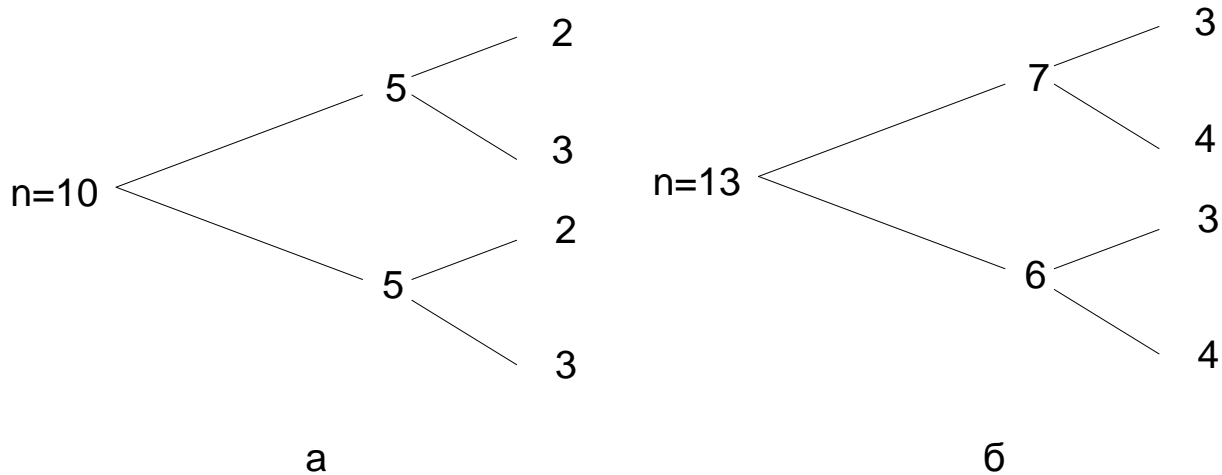


Рис. 26.5. Розбиття вхідного коду, який дешифрується на групи:
a – при $n = 10$; *б* – при $n = 13$

Під каскадуванням (нарошуванням) розуміють спосіб з'єднання дешифраторів у вигляді мікросхем середнього ступеня інтеграції для одержання більшої розрядності вхідного коду. З'єднання двох трирозрядних дешифраторів типу К5551ДЗ для декодування чотирирозрядного коду показано на рис. 26.6.

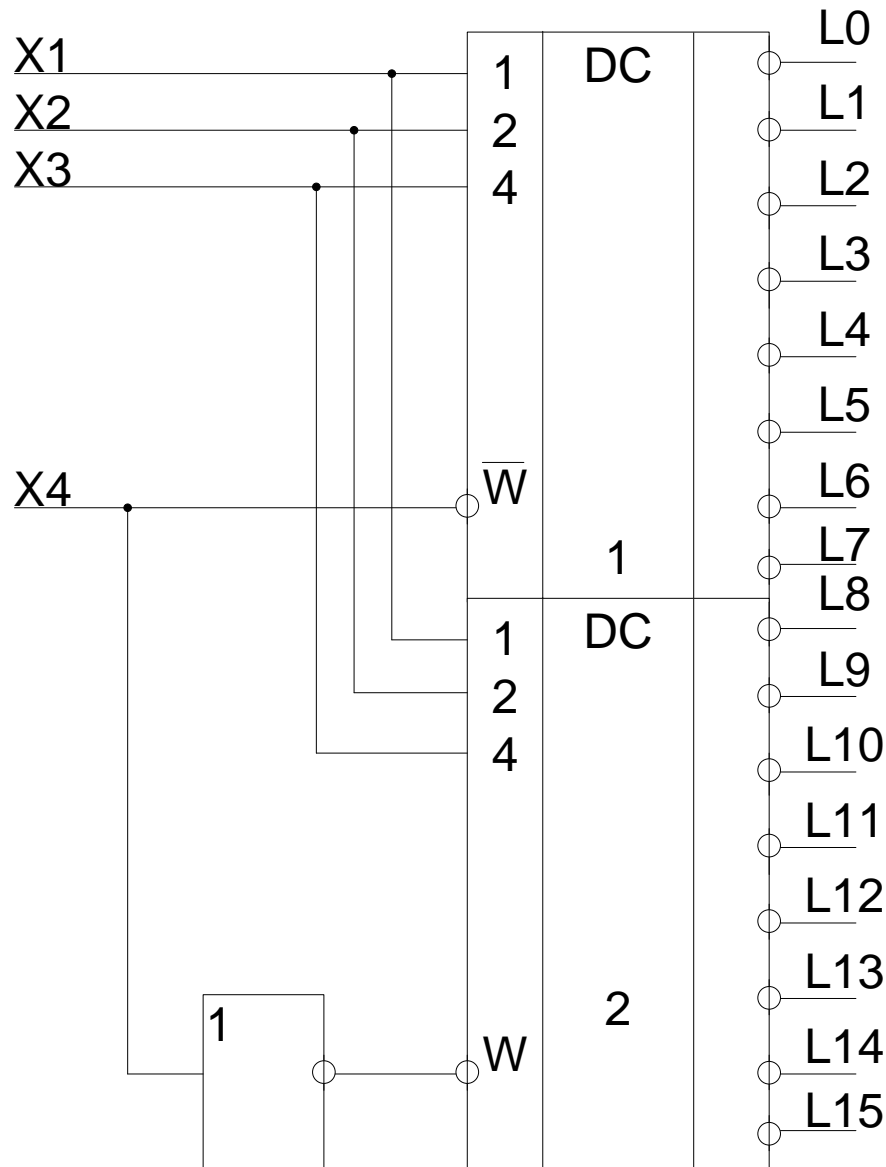


Рис.26.6. Каскадування дешифраторів

Вхідні змінні X_1, X_2, X_2 подаються паралельно на входи обох дешифраторів: змінна X_4 подається безпосередньо на вхід стробування \bar{W} першого дешифратора, через інвертор – на вхід стробування другого дешифратора. Ця каскадна схема працює так. Якщо значення старшого розряду вхідного коду $X_4 = 0$, то в роботу включається перший дешифратор з інверсними вісьмома виходами L_0, \dots, L_7 , при цьому другий дешифратор блокуваний (вимкнений) і на його виходах L_8, \dots, L_{15} встановлюється високі рівні. При $X_4 = 1$ блокується перший дешифратор і включається в роботу друга мікросхема.

Таким чином, через наявність стробуючого входу два трирозрядні дешифратори утворюють схему дешифрації чотирирозрядного коду.

26.2 Шифратори

26.2.1 Загальна характеристика шифратора

Шифратором називається функціональний вузол комп'ютера, призначений для перетворення вхідного m – розрядного унітарного коду у вихідний n – розрядний двійковий позиційний код. Двійкові шифратори виконують функцію, обернену функції дешифратора.

ра. При активізації однієї з вхідних ліній дешифратора на його виходах формується код, який відображає номер активного входу. Умовні графічні позначення шифраторів на схемах показані на рис. 26.7

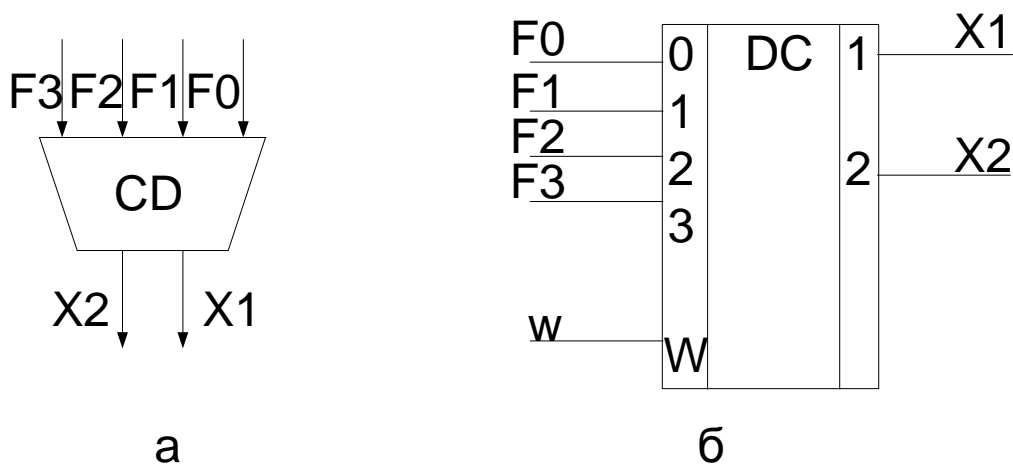


Рис.26. 7. Умовні позначення шифратора:
а – на функціональних схемах; *б* – на принципових схемах

Функція шифратора позначається буквами *CD* (coder). Входи шифратора нумеруються послідовними десятковими цифрами $0, 1, \dots, m-1$, а позначки виходів відображають ваги вихідних двійкових змінних $1, \dots, 2^{n-1}$.

У цифрових пристроях шифратори використовуються для таких операцій: перетворення унітарного вхідного коду у вихідний двійковий позиційний код; введення десяткових даних з клавіатури; показання старшої одиниці в слові; передачі інформації між різними пристроями при обмеженому числі ліній з'язку.

26.2.2 Пріоритетний шифратор клавіатури.

Одне з основних застосувань шифратора – введення даних з клавіатури, наприклад, десяткових цифр. Натискання клавіші з десятковою цифрою $0, 1, \dots, 9$ мають приводи до передачі в цифровий пристрій двійково-десятькового коду цієї цифри. Для цього використовується неповний шифратор „з 10 в 4”.

Шифратори, які при одночасному натисканні декількох клавіш створюють код тільки старшої цифри, називаються пріоритетними. Пріоритетні шифратори, які призначені для пошуку старшої (лівої) одиниці в слові та формування на виході двійкового номера шуканого орозряду, називаються покажчиками старшої одиниці. Їх застосовують у пристроях нормалізації чисел з плаваючою крапкою, в системах з пріоритетним обслуговуванням запитів на переривання роботи комп'ютера.

Логіка роботи пріоритетного шифратора на вісім входів наведена в табл.26.3, де прийняті такі позначення: $\bar{F}_0, \bar{F}_1, \dots, \bar{F}_7$ - вхідні інверсні сигнали, записані в порядку зростання пріоритету: \bar{F}_0 - найнижчий, \bar{F}_7 - найвищий; $\bar{X}_3, \bar{X}_2, \bar{X}_1$ - вихідний інверсний позиційний код; \bar{W} - сигнал стропування; \bar{P} - функція, яка вказує на надходження вхідного сигналу; \bar{V} - функція, яка вказує на відсутність вхідних сигналів.

\bar{W}	\bar{F}_7	\bar{F}_6	\bar{F}_5	\bar{F}_4	\bar{F}_3	\bar{F}_2	\bar{F}_1	\bar{F}_0	\bar{X}_3	\bar{X}_2	\bar{X}_1	\bar{P}	\bar{V}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0

0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	x	1	1	0	0	1
0	1	1	1	1	1	0	x	x	1	0	1	0	1
0	1	1	1	1	0	x	x	x	1	0	0	0	1
0	1	1	1	0	x	x	x	x	0	1	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

Таблиця 26.3

У табл. 26.3 значення вхідних змінних праворуч від діагоналі, утвореної цифрами 1, не повинні визначати вихідний код (вони позначені хрестиком). Це пояснюється тим, що сигнал з більшим пріоритетом блокує запити з меншими пріоритетами.

Із табл.26.3 отримуємо вирази для вихідного коду шифратора $\bar{X}_3, \bar{X}_2, \bar{X}_1$ і функції \bar{V} та \bar{P} , які відповідно визначають відсутність інформаційних сигналів на всіх виходах та наявність сигналу хоч би на одному вході. Для спрощення виразів використовуємо тотожність $F_i + \bar{F}_i F_k = F_i + F_k$ та закони де Моргана:

$$\begin{aligned} \bar{X}_3 &= \bar{W} + WY_1; \\ \bar{X}_2 &= \bar{W} + WY_1\bar{F}_3\bar{F}_2 + W\bar{F}_7\bar{F}_6F_5 + W\bar{F}_7\bar{F}_6F_4; \\ \bar{X}_1 &= \bar{W} + WY_1\bar{F}_3F_2 + WY_1\bar{F}_3\bar{F}_1 + W\bar{F}_7\bar{F}_6 + WF_7F_5F_4; \\ \bar{P} &= \bar{W} + WY_1Y_2; \bar{V} = W + \bar{Y}_1\bar{Y}_2W + \bar{Y}_1 + \bar{Y}_2; \\ Y_1 &= \bar{F}_7\bar{F}_6\bar{F}_5\bar{F}_4; Y_2 = \bar{F}_3\bar{F}_2\bar{F}_1\bar{F}_0 \end{aligned}$$

На основі цих виразів побудована (рис.26.8) схема пріоритетного шифратора „8 → 3”.

При $\bar{W} = 1$ робота блокується і незалежно від сигналів на входах маємо на інверсних виходах: $\bar{X}_3\bar{X}_2\bar{X}_1 = 111$, $\bar{P} = 1$, $\bar{V} = 1$. Якщо, наприклад, $\bar{F}_6 = 0$ і $\bar{F}_2 = 0$, то схема формує на виходах код номера входу із старшим пріоритетом: $\bar{X}_3\bar{X}_2\bar{X}_1 = 001$ або в прямому коді $X_3X_2X_1 = 110_2 = 6_{10}$. Активний стан виходу відображається значеннями функцій $\bar{P} = 0$ і $\bar{V} = 1$, які передаються в процесор, а також використовуються при каскадуванні шифраторів. Схема, зображена на рис. 26.8, є аналогом шифратора К555ІВ1.

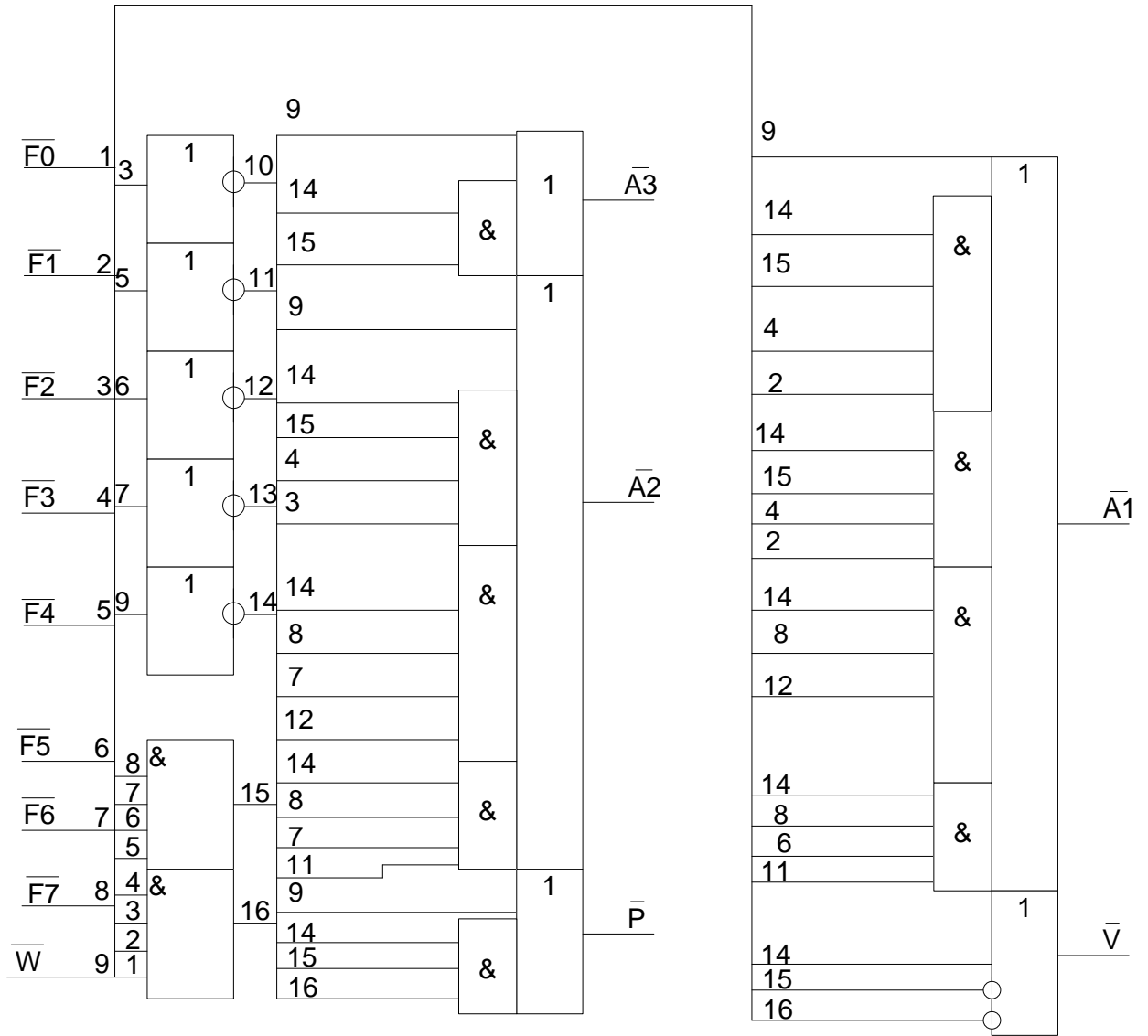


Рис. 26.8. Схема пріоритетного шифратора „8 → 3”