

## Лекція 32

# ЗБІЛЬШЕННЯ ОБ'ЄМУ ПАМ'ЯТІ ЗАПАМ'ЯТОВУЮЧИХ ПРИСТРОЇВ (ЗП)

**Мета лекції:** вивчити основні методи збільшення об'єму пам'яті ЗП, розглянути різні пристрої оперативної пам'яті (ПОП).

### План лекції:

**32.1** Методи збільшення об'єму пам'яті ЗП

**32.2** Статичні ПОП на біполярних транзисторах

**32.3** Статичні ПОП на польових транзисторах

**32.4** Динамічні ПОП

**32.5** Контрольно-навчальний тест до лекції 32.

### 32.1 Методи збільшення об'єму пам'яті ЗП

З використанням раніше описаних структур можна будувати пам'ять з будь-яким заданим об'ємом інформація. Проте на практиці доводиться мати справу із стандартним рядом ІС, організація і об'єм пам'яті яких задані. Як правило, ці показники не співпадають з вимогами конкретної апаратури, і встає завдання побудови ЗП з необхідною організацією.

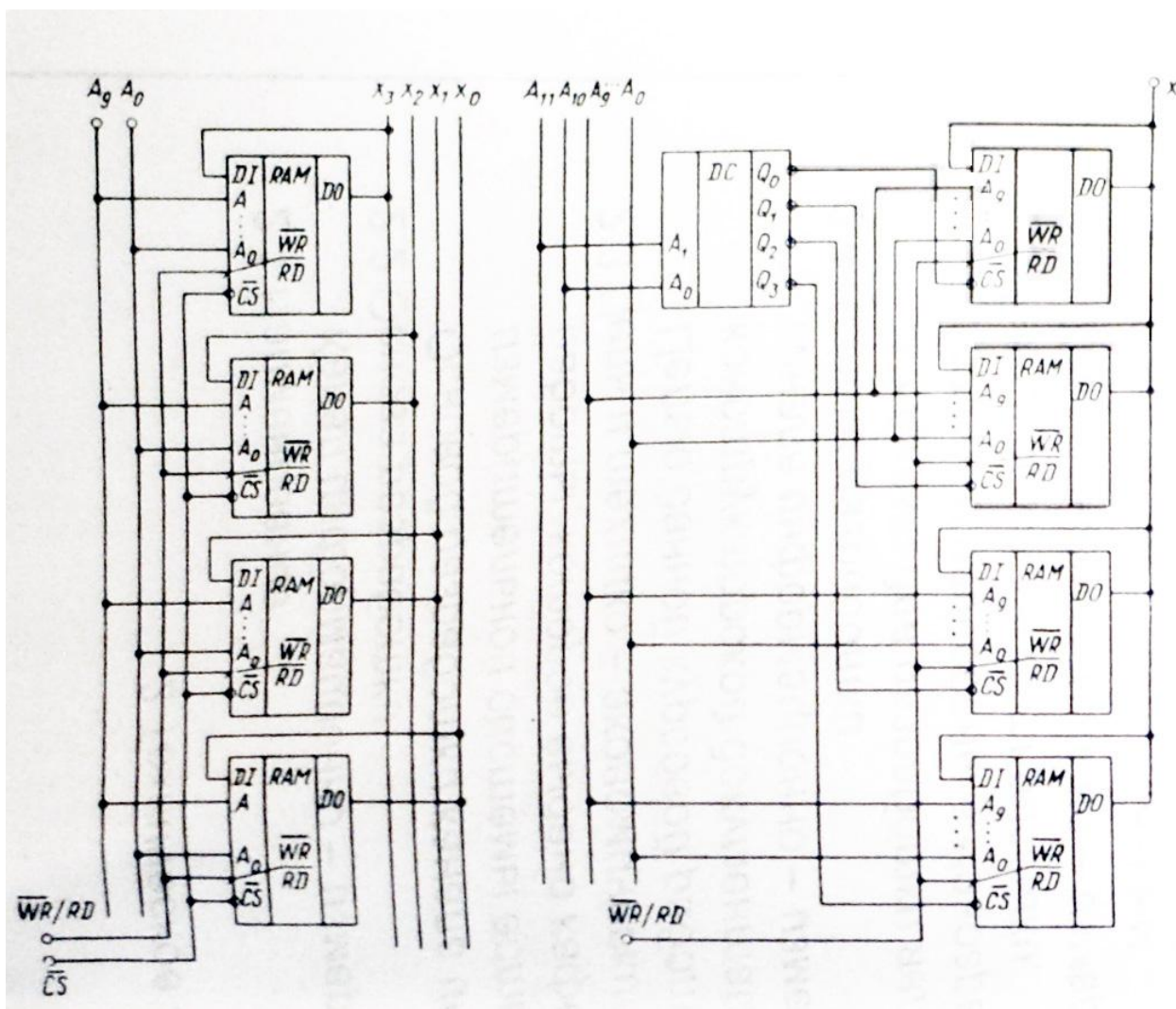


Рис. 32.1. Організація ЗП при нарощуванні розрядності вихідного слова

Рис. 32.2. Організація ЗП при нарощуванні числа слів, що зберігаються

Для цієї мети використовуються два технічні рішення: нарощування розрядності слів, що зберігаються; нарощування числа слів, що зберігаються. Використовуючи одночасно обидва ці методи можна збільшити як розрядність, так і кількість слів.

Збільшити розрядність слів, у пам'яті, можна паралельним включенням декількох однакових ІС. На рис. 32.1 показана побудова ЗП з організацією  $1K \times 4$  біт на основі ІС з організацією  $1K \times 1$ . Для цього одну і ту ж адресу необхідно подати одночасно на адресні входи 4-х ІС. З виходу D0 кожній ІС за вказаною адресою з'явиться 1 біт інформації. Отже, підключивши виходи ІС до відповідних розрядів 4 розрядної шини, з останньої можна отримати 4-розрядне слово. Таким чином, нарощування розрядності інформаційних слів не вимагає застосування додаткових технічних засобів і може бути виконане простим з'єднанням тих, що є в ІС.

Складніше йде справа при необхідності збільшення кількості слів, що зберігаються в пам'яті. Раніше наголошувалося, що кількість кодових слів, що зберігаються в пам'яті, однозначно пов'язана з розрядністю використовуваного адресного слова. Тому його збільшення вимагає збільшення розрядності шини адреси. Проте, оскільки розрядність адресного слова для конкретного типу ІС задана, вирішити цю задачу без залучення додаткових апаратних засобів неможливо. Практично завдання збільшення кількості слів, що зберігаються, вирішується з використанням додаткового дешифратора, призначеного для формування сигналу дозволу роботи декільком паралельно включеним по виходах ІС. Дане рішення ілюструється рис. 32.2, на якому показана пам'ять  $4K \times 1$  на основі ІС з власною організацією  $1K \times 1$ . Для звернення до об'єму пам'яті в  $4K$  необхідне 12-розрядне адресне слово. Інтегральна схема заданого типу управляється 10-розрядним адресним словом. Два старші розряди адреси  $A_{11}$  і  $A_{10}$  подаються на адресні входи додаткового дешифратора, виходи якого приєднані до входів  $\bar{CS}$  відповідних ІС. Тому при подачі адреси дешифратор старших розрядів з чотирьох ІС вибере тільки ту, в якій зберігається потрібна інформація. Виходи інших ІС будуть відключені від вихідної шини даних, з якою буде злічена тільки відповідна поданій адресі інформація.

## 32.2. СТАТИЧНІ ПРИСТРОЇ ОПЕРАТИВНОЇ ПАМ'ЯТІ (ПОП) НА БІПОЛЯРНИХ ТРАНЗИСТОРАХ

Елементарні запам'ятовуючі елементи (ЗЕ) статичних ПОП можуть бути виконані на основі всіх розглянутих в попередніх розділах типів базових логічних елементів (БЛЕ). Кожний з цих типів володіє своїми перевагами і недоліками, що визначають область його застосування.

Статичні ЗЕ, що використовують біполярні транзистори, це дорогі пристрої, виконані на основі різних тригерних елементів. Даний клас схем має на сьогоднішній день максимальну швидкодію. Розглянемо докладніше схемотехніку ЗЕ на біполярних транзисторах.

На рис. 32.3 наведена принципова електрична схема ЗЕ на біполярних транзисторах. Даний елемент використовує технологію ТТЛ і призначений для застосування в ЗП з двовимірною адресацією. Його основу складають два інвертори, виконаних на трьохемітерних транзисторах  $VT1$  та  $VT2$ . Інвертори включені послідовно і охоплені глибоким позитивним зворотнім зв'язком (ПЗЗ). Дві пари попарно об'єднаних емітерів транзисторів утворюють виводи вибірки елементу  $CS1$  і  $CS2$ . Третя пара емітерів транзисторів утворює прямий  $P_1$  і інверсний  $P_2$  виходи елементу, які через вхідні опори підсилювача зчитування підключені до загальної шини.

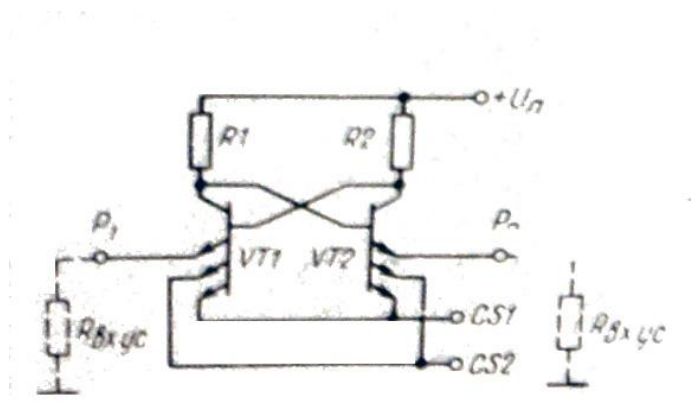
У режимі зберігання на один або обидва виводи вибірки ( $CS1$ ,  $CS2$ ) ЗЕ подана напруга низького рівня. При цьому тригер, утворений інверторами, знаходиться в одному із стійких станів. Припустимо, що транзистор  $VT1$  насичений, а  $VT2$  замкнутий. Весь струм насиченого транзистора  $VT1$  замикається через один з виводів вибірки елементу на загальну шину. Тому в колі вихідного виводу  $P_1$  струм відсутній і інформація з ЗЕ не потрапляє на

вхід підсилювача зчитування  $U_{R.вх.уч} = 0$

Для прочитування інформації на обидва входи вибірки елементу необхідно подати напругу високого рівня. При цьому єдиним шляхом протікання струму насиченого транзистора залишається вихідний вивід  $P_1$  ЗЕ. Цей струм

створює на вхідному опорі підсилювача зчитування напругу  $U_{R_{BxYC}}$ , полярність якої відповідає записаній в елемент інформації. Слід зазначити, що при зчитуванні з елемента інформації вона не втрачається. При подачі на один або обидва входи вибірки напруги низького рівня тригер продовжує залишатися в тому ж стані.

При необхідності записати в елемент нову інформацію на нього також спочатку подаються сигнали вибірки. Після чого на зовнішніх шинах встановлюється полярність напруги, відповідна новій інформації. Для даного випадку на вивід  $P_1$ , подається напруга високого рівня, а на  $P_2$  — низького рівня. При цьому оскільки всі ланцюги протікання емітерного струму транзистора  $VT1$  виявляються розірваними, на його колекторі формується напруга високого рівня. Ця напруга насичує транзистор  $VT2$ , який, формуючи на своєму колекторі напругу низького рівня, підтверджує закритий стан транзистора  $VT1$ . В ЗЕ записується нова інформація. Після зняття з елемента сигналів вибірки нова інформація зберігатиметься в тригері до моменту чергового перезапису.



*Рис. 32.3. Принципова електрична схема ЗЕ на основі біполярних транзисторів*

Таким чином, запис нової інформації в даний ЗЕ виконується високим рівнем вхідної напруги.

Описана будова елемента дозволяє, по-перше, сполучати паралельно виходи будь-якого числа елементів, і, по-друге, використовувати для читання-запису одні і ті ж його виводи. Отже, описаний елемент повністю відповідає

вимогам, що накладаються на нього зовнішньою схемою управління. Слід також зазначити, що в даному випадку формування другого входу вибірки виконане з мінімальними витратами і не приводить до значного ускладнення елемента пам'яті.

Якщо з багатомітерних транзисторів елемента виключити по одному емітеру, отримаємо елемент для ЗП з одновимірною адресацією.

### **32.3. СТАТИЧНІ ПОП НА ПОЛЬОВИХ ТРАНЗИСТОРАХ**

Застосування в ЗЕ статичних ПОП польових транзисторів дозволяє отримати вищий ступінь упаковки елементів, зменшити вартість і споживану потужність. Проте при цьому швидкодія ПОП знижується.

Побудову ЗЕ статичних ПОП на польових транзисторах розглянемо на прикладі елемента з одновимірною адресацією. Його принципова електрична схема наведена на рис. 32.4. Він також містить два інвертори, але виконаних на основі ключів з МДН-транзистором навантаження. За рахунок введення ланцюга ПЗЗ інвертори утворюють структуру тригера. Виходи цього тригера через попарно послідовно включені обмежувальні резистори  $R1$  і  $R2$  і транзистори  $VT5$  і  $VT6$  сполучені з вихідними виводам  $P1$  і  $P2$  ЗЕ. Об'єднані затвори транзисторів  $VT5$  і  $VT6$  утворюють вивід вибірки елемента  $CS$ .

Припустимо, що в деякий момент часу транзистор  $VT1$  включений, а транзистор  $VT2$  закритий. Якщо на вхід вибірки подана напруга, недостатня для відкриття транзисторів  $VT5$  і  $VT6$ , тригер фактично відключений від вихідних виводів  $P1$  і  $P2$  ЗЕ, і інформація на цих виводах відсутня. Елементарний ЗЕ знаходиться в режимі зберігання. Очевидно, що цей стан може тривати скільки завгодно довго.

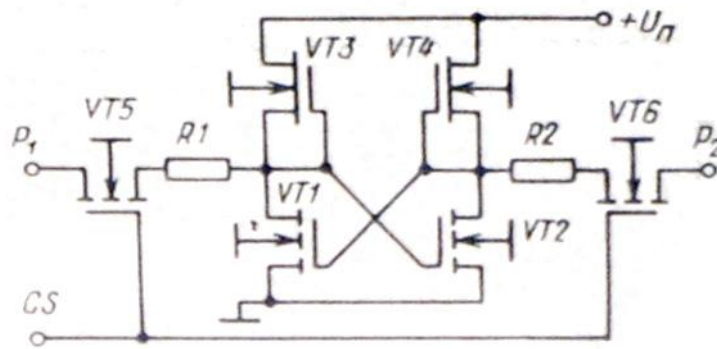


Рис. 32.4. Принципова електрична схема ЗЕ на основі польових транзисторів

Якщо на вхід вибірки подана напруга, достатня для відмикання транзисторів  $VT5$  і  $VT6$  інформація, записана раніше в тригері, з'явиться на його вихідних виводах. У нашому випадку на виводі  $P1$  з'явиться напруга низького, а на виводі  $P2$  — високого рівнів. Ця напруга зчитується підключеним до внутрішньої шини ІС підсилювачем зчитування.

Для запису нової інформації за умови вибірки потрібного елементу на виводах  $P1$  і  $P2$  підсилювачем запису формуються нові значення рівнів напруги. У даному випадку для зміни записаної раніше інформації необхідно на вивід  $P1$  подати напругу високого, а на  $P2$  — низького рівнів. Напруга низького рівня, шунтуючи транзистор  $VT2$ , зніме із затвора  $VT1$  напругу, що підтримувала його у включеному стані; при цьому  $VT1$  закриється. Напруга на його стоці збільшиться до напруги відкриття транзистора  $VT2$ . В результаті  $VT2$  відкриється, підтвердивши тим самим замкнутий стан транзистора  $VT1$ , у тригер записується нова інформація яка зберігатиметься в ньому до моменту чергового перезапису.

Описаний ЗЕ, так само як і елемент на біполярних транзисторах, допускає багатократне прочитування інформації без її руйнування. Особливістю розглянутої схеми є перезапис інформації при подачі на вхід елементу напруги низького рівня. Це зручніше, оскільки обрив виводу не створює на вході елементу напругу активного рівня, що підвищує надійність його роботи.

Даний елемент, як і ЗЕ на біполярних транзисторах, дає можливість проводити читання-запис інформації по одних і тих же виводах, що важливо з погляду спрощення ІС.

Розглянутий ЗЕ можна легко перетворити в пристрій з двовимірною вибіркою. Для цього послідовно з транзисторами  $VT5$  і  $VT6$  необхідно включити ще два аналогічні транзистори, об'єднані затвори яких створять другий вхід  $CS2$  вибірки елемента (рис. 32.5).

Слід зазначити, що незалежно від типу використовуваних у ПОП елементарних ЗЕ її вхідні і вихідні ланцюги виконуються сумісними за логічними рівнями з елементами ТТЛ. Це дозволяє стандартизувати ІС пам'яті, забезпечивши можливість їх сумісного використання. Умовне графічне позначення ІС ПОП наведено на рис. 32.6. Це статичний ПОП типу 132РУ6, виконаний на КМОН-транзисторах. Організація даною ІС 16Кх1. Інтегральна схема має 14 адресних входів ( $A_{13}..A_0$ ), вхід введення інформації  $D_I$ , вихідний  $D_O$ , вихід дозволу роботи  $\overline{CS}$  і вивід управління режимами читання-запису  $\overline{WR}/RD$ . При подачі на управляючий вхід напруги низького рівня ( $\overline{WR}/RD=0$ ), виконується запис інформації, а при подачі напруги високого рівня

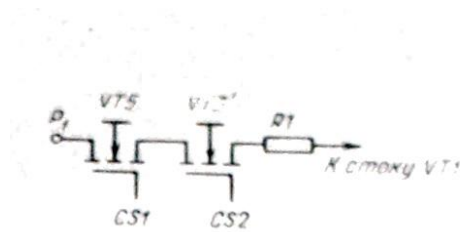


Рис. 32.6 Організація вибору ЗЕ на польових транзисторах для ЗП з двовимірною адресацією

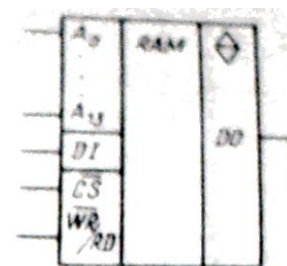


Рис. 32.7. Умовне про значення ІС статичеського ПОП типу 132РУ6

( $\overline{WR}/RD=1$ ) — її прочитування: Значок, розташований в правому верхньому кутку графічного зображення ІС, означає, що вихід ІС має три вихідних стани, тобто інформація підключається до виходу тільки при виборі ІС.



Важливо підкреслити, що у будь-якому випадку виконання схемотехніки вихідних ланцюгів ІС повинно допускати їх паралельне підключення до загальної інформаційної шини (див. відповідні параграфи)

### **32.4. ДИНАМІЧНІ ПОП**

У ЗЕ динамічних ПОП інформація зберігається у вигляді заряду на конденсаторі. При цьому для ототожнення напруги на конденсаторі із значенням лог.0 або лог. 1 вона повинна мати рівні, розташовані в певному діапазоні. Слід зазначити, що будь-який навіть самий доосконалий конденсатор має власний саморозряд. Окрім цього для забезпечення режимів заряду-розряду до конденсатора необхідно під'єднати додаткові кола, опір яких хоч і може бути достатній великим, але завжди має деяку кінцеву величину. Внаслідок цього заряджений до певного рівня конденсатор через деякий час втрачає свій заряд і напруга на ньому виходить із зони відображення початкової логічної константи.

Використання пам'яті такого типу технічно виправдане тільки у разі, коли час зберігання інформації  $t_{зб}$  істотно більше часу, необхідного для її відновлення:  $t_{зб}' = t_{зб} / t_{від} \gg 1$ . Останнє вимагає збільшення приведенного опору саморозряду конденсатора, під яким розуміється деякий еквівалентний опір, включений паралельно конденсатору і що враховує як власний саморозряд конденсатора, так і розряд по зовнішнім ланцюгам. Бажання збільшити цей опір привело до використання в ЗЕ динамічних ПОП тільки польових транзисторів.

Здавалося б, що збільшити час зберігання інформації в таких ПОП можна за рахунок збільшення ємності конденсатора. Проте, по-перше, при незмінних параметрах ланцюгів заряду-розряду таке рішення не змінює  $t_{зб}'$  і, по-друге, вимагає збільшення площі конденсатора. Останнє, стосовно напівпровідникової технології, веде до зменшення числа конденсаторів, які можна розмістити на кристалі заданої площі, тобто до зменшення об'єму

інформації в ІС. Отже, цей спосіб не сумісний з напівпровідниковою технологією.

Як випливає з принципу роботи, особливістю динамічних ПОП є необхідність періодичного відновлення (регенерації) заряду на конденсаторах. Для цього інформація з ЗЕ періодично прочитується і потім повторно записується з відновленням необхідного рівня напруги. У ПОП, що реально випускаються, регенерація заряду конденсаторів ЗЕ виконується через кожні 1..2 мс, що відповідає частоті регенерації 0,5..1 кГц. В порівнянні із статичними, динамічні ПОП мають меншу швидкодію, але вони істотно простіші, дешевше і забезпечують дуже високий ступінь інтеграції, тобто допускають розробку ІС з великим об'ємом інформації. В даний час розроблені ІС динамічних ПОП з організацією 128Мх1.

Розглянемо роботу динамічного ЗЕ на прикладі однострижорного елемента (рис. 32.7). У даній схемі реалізований принцип одновимірної адресації. На рис. 32.7, окрім власне ЗЕ, спрощено показані кола, необхідні для пояснення принципів запису-зчитування інформації. Власне ЗЕ складається з конденсатора  $C_n$  і транзисторного ключа  $VT1$ , що підключає цей конденсатор до шини даних (*ШД*). Затвор транзистора  $VT1$  підключений до виходу дешифратора адреси  $CS$ . Тому при появі на даному виході дешифратора напруги високого рівня транзистор  $VT1$  відкривається, підключаючи конденсатор  $C_n$  до *ШД*. В цьому випадку в залежності від режиму роботи можна або зчитувати вже наявну інформацію, або записати нову.

До *ШД* підключений затвор транзистора  $VT2$ , що виконує роль підсилювача зчитування.

Після підключення потрібного конденсатора до ШД з виходу підсилювача знімається напруга пропорційна початковій напрузі на конденсаторі  $C_n$ .

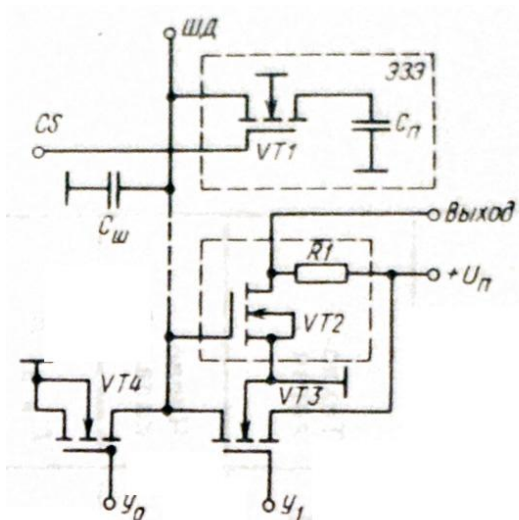


Рис. 32.7 Фрагмент структурної схеми динамічного ЗП.

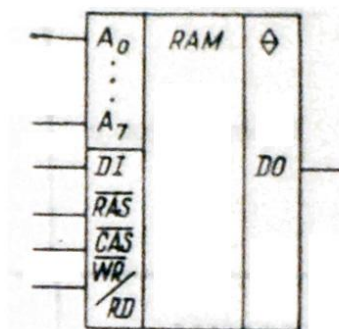


Рис. 32.8 Умовне позначення ІС динамічного ПОП типу 565PY5

Слід зазначити деякі особливості цього процесу. Для зберігання великих обсягів інформації ІС динамічного ПОП повинно містити велике число ЗЕ. Все ці ЗЕ через свої транзистори підключені до ШД. Тому ШД має дуже велику довжину, і отже, велику власну ємність  $C_{ш}$ . Як правило, виконується умова  $C_{ш} > C_n$ . Підключення до ШД конденсатора малої ємності за рахунок перерозподілу зарядів ємностей  $C_{ш}$  і  $C_n$  трохи змінює її потенціал. Для розпізнавання цієї зміни необхідно дуже точно знати початкову напругу шини, яка в процес роботи може приймати довільне значення. Тому процес прочитування інформації має таку послідовність дій:

безпосередньо перед прочитуванням інформації фіксують рівень напруги ШД, для чого за допомогою ключа  $VT3$  місткість  $C_{ш}$  заряджають до напруги живлення; на потрібний ЗЕ подають сигнал вибірки  $CS$ ;  $C_n$  підключається до  $C_{ш}$ , що супроводжується перерозподілом заряду і відповідною зміною напруги на ШД; з виходу підсилювача прочитують сигнал, пропорційний заряду конденсатора, вибраного ЗЕ.

Як випливає з описаного алгоритму, зчитування інформації на ЗЕ завжди супроводжується його руйнуванням. Тому при необхідності її подальшого зберігання інформація повинна бути записана наново.

Запис інформації в ЗЕ виконується з використанням транзисторів  $VT3$  і  $VT4$ , які за сигналом управління підключають ШД або до джерела живлення, або до загальної шини. При вибірці потрібного ЗЕ його конденсатор заряджається до напруги ШД.

Реальна структура ІС динамічного ПОП багато складніше показано на рис. 32.7 спрощеного варіанту. Вона містить регістри і кола управління процесами регенерації, а також додаткову матрицю ЗЕ, що використовується як еталон. Для регенерації по сигналу з блоку управління вміст цілого рядка матриці ЗЕ перезаписується в регістр і назад, за рахунок чого і підтримується необхідний рівень напруги на конденсаторах пам'яті. На рис. 32.8 як приклад приведено умовне графічне позначення ІС динамічного ПОП типу 565PY5. Організація даною ІС 64Кx1. Вона забезпечена вісьмома адресними виводами ( $A7... A0$ , виводами входу  $D1$  і виходу  $D0$  інформації, виводом управління режимом роботи ( $\overline{WR}/RD$  — запис-зчитування) і двома виводами для подачі стробуючих сигналів адреси  $\overline{RAS}$  і  $\overline{CAS}$ . Останні два сигнали дозволяють зменшити необхідне число адресних виводів ІС. Дійсно, для звернення до 64К слів інформації необхідне 16-розрядне адресне слово. Причому половина розрядів відповідає за вибір потрібного рядка, а половина — за вибір потрібного стовпця. Тому старші і молодші розряди адресного слова подаються на одні і ті ж виводи ІС по черзі. Після подачі на вивід  $\overline{RAS}$  напруги низького рівня на адресні виводи подають вісім молодших розрядів адресного слова, які забезпечують вибір з матриці ЗЕ необхідного рядка. Після цього напруга низького рівня подається і на вихід  $\overline{CAS}$ , а на адресних виводах формують вісім старших розрядів адресного слова, які вибирають потрібний стовпець матриці. Із сказаного зрозуміло, що при такій побудові ІС динамічного ПОП забезпечують меншу швидкодію, чим статичного. Цьому окрім власне особливостей використовуваної елементної бази сприяє

стробування адреси (послідовна її подача) і необхідність періодичної регенерації інформації.

Попутно слід зазначити, що для вибору ІС динамічного ПОП не використовується сигнал  $\overline{CS}$ . Його роль виконують послідовно подавані сигнали  $\overline{RAS}$  і  $\overline{CAS}$ .

### 32.5 Контрольно-навчальний тест до лекції 32

#### Питання 32.1

Як можна збільшити розрядність слів, що зберігаються в пам'яті?

Вибір правильної відповіді:

- 1 – паралельним включенням декількох однакових ІС
- 2 – послідовним включенням декількох однакових ІС
- 3 – паралельним включенням декількох різних ІС

#### Питання 32.2

Для чого вводять додатковий дешифратор в ЗП на основі стандартних ІС?

Вибір правильної відповіді:

- 1 – для обмеження сигналу дозволу роботи декільком паралельно включеним по виходах ІС
- 2 – для формування сигналу дозволу роботи декільком паралельно включеним по виходах ІС
- 3 – для підвищення завадостійкості схеми

### Питання 32.3

Приведіть схему ЕЗЕ на біполярних транзисторах. ЗП яких типів реалізуються на цій основі?

Вибір правильної відповіді:

- 1 – ЗП з одновимірною адресацією
- 2 – ЗП з двовимірною адресацією
- 3 – ЗП з одно- та двовимірною адресацією, в залежності від особливостей схеми

### Питання 32.4

Що є особливістю схеми ЗЕ на польових транзисторах?

Вибір правильної відповіді:

- 1 – багатократне прочитування інформації без її руйнування
- 2 – висока ступінь упаковки елементів, мала вартість і споживча потужність
- 3 – гнучка структура

### Питання 32.5

Як виконується запис нової інформації в ЗЕ на біполярних транзисторах?

Вибір правильної відповіді:

- 1 – виконується формування сигналу на дешифраторі
- 2 – виконується низьким рівнем вхідної напруги
- 3 – виконується високим рівнем вхідної напруги

### Питання 32.6

Що відбувається при подачі на вхід  $\overline{WR}/RD$  напруги низького рівня в схемі ЗЕ на польових транзисторах? (рис 32.6)

### Питання 32.7

Найголовніші елементи схеми рис. 32.7?

### Питання 32.8

Як зберігається інформація в ЗЕ динамічних ПОП?

### Питання 32.9

У чому полягає особливість динамічних ЗЕ?

### Питання 32.10

На основі яких типів транзисторів будуються динамічні ЗЕ?

Вибір правильної відповіді:

- 1 – зчитування інформації
- 2 – запис інформації
- 3 – знищення інформації

Вибір правильної відповіді:

- 1 – конденсатор  $C_n$  і транзисторний ключ  $VT1$
- 2 – конденсатор  $C_{in}$
- 3 – транзисторний ключ  $VT1$

Вибір правильної відповіді:

- 1 – у вигляді заряду на конденсаторі
- 2 – як сигнал, що формується на дешифраторі
- 3 – жоден з варіантів

Вибір правильної відповіді:

- 1 – більша вартість в порівнянні зі статичними ЕЗЕ
- 2 – більша складність схеми в порівнянні зі статичними ЕЗЕ
- 3 – необхідність періодичного відновлення заряду на конденсаторах

Вибір правильної відповіді:

- 1 – тільки польові транзистори
- 2 – тільки біполярні транзистори
- 3 – біполярні і польові транзистори