

ЛЕКЦІЯ 31

ПРИСТРОЇ ПАМ'ЯТІ. ПРИСТРОЇ ОПЕРАТИВНОЇ ПАМ'ЯТІ.

Мета лекції: вивчити побудову і організацію пристроїв оперативної пам'яті, їх характеристики

План лекції:

- 31.1. Призначення, основні параметри та класифікація.
- 31.2. Пристрої оперативної пам'яті (ПОП)
- 31.3. ПП з одновірною адресацією.
- 31.4. ПП з двовірною адресацією.
- 31.5. Контрольно-навчальний тест до лекції 31.

31.1. ПРИЗНАЧЕННЯ, ОСНОВНІ ПАРАМЕТРИ ТА КЛАСИФІКАЦІЯ.

Для короткочасного зберігання невеликих об'ємів кодових слів за звичай використовують регістри. При необхідності тривалого зберігання або зберігання великих об'ємів інформації застосовують пристрої пам'яті (ПП), виконані на спеціалізованих інтегральних схем (ІС). Застосування ПП, що використовують ІС, дозволяє максимально спростити апаратну частину електронних пристроїв. Строго кажучи, для зберігання інформації може бути використане велике число різних технічних рішень. Наприклад, як носії інформації часто використовують магнітні диски або стрічки. Проте нижче зупинимося тільки на ПП, побудованих з використанням напівпровідникової технології.

Будь-який ПП, не залежно від його виконання і призначення, характеризується рядом параметрів: інформаційна ємність, швидкодія, розрядність, споживаюча потужність. Розглянемо основні з них.

Споживаюча потужність – потужність електричного струму, що витрачається на одиницю інформації (мВт/біт)

Ємність ПП (М) визначає максимально можливий об'єм інформації, що зберігається в ньому.

Одиницею вимірювання кількості інформації являється один біт. Ця кількість інформації, відповідає одному розряду двійкового кодового слова або одній логічній константі. Чисельно біт може приймати значення лог. 0 або лог. 1. За звичай інформація, рівна одному біту, зберігається в одному елементарному запам'ятовуючому елементі (ЕЗЕ). Тому ємність ПП прийнято

визначати в бітах або кількості кодових слів з вказівкою їх розрядності. При цьому 8-розрядне кодове слово називають байтом.

Для визначення великих об'ємів інформації використовують приставки кіло і мега, що означають відповідно $2^{10} = 1024 \text{ біт} = 1 \text{ Кбіт}$ і $2^{20} = 1048576 \text{ біт} = 1 \text{ Мбіт}$.

Для детальнішого визначення структури використовують поняття „організація ПП” ($N \times L$), під яким розуміють число кодових слів (N), що зберігаються в ПП з вказівкою їх розрядності (L). Розрядність – кількість розрядів у слові (для мікросхем – кількість біт, що можна зчитати /записати за один цикл з мікросхеми). Очевидно, що ємність ПП пов'язана з параметрами, що характеризують його організацію, співвідношенням

$$M = NL \quad (31.1)$$

Із сказаного маємо, що при одному і тому ж об'ємі інформації, що зберігається, пам'ять може мати різну організацію. Так, два ПП з організацією 32×8 і 256×1 мають однаковий об'єм пам'яті, рівний 256 біт.

Динамічні характеристики ПП в загальному випадку визначаються великим числом різних, часових параметрів, основним серед яких є час вибірки (звернення) і циклів адреси в режимах читання і запису.

Часом, вибірки t_A називається часовий інтервал між подачею на вхід пам'яті заданого сигналу і отриманням на виході даних за умови, що решта всіх сигналів подані.

Згідно даному визначенню, час вибірки можна визначати відносно будь-якого із необхідних для роботи пам'яті сигналів.

Часом циклу адреси в режимі запису ($t_{CY(A)WR}$) називається мінімальний час співпадіння сигналів на управляючих входах пам'яті, необхідних для надійного запису в неї інформації. Аналогічно для режиму зчитування визначається і $t_{SY(A)RD}$.

Для надійної роботи ПП необхідно дотримуватись певних часових співвідношень між різними управляючими сигналами. Ці співвідношення задаються часом циклу (t_{SY}), встановлення (t_{SU}), тривалості дії (t_W) і збереження (t_V) сигналів: Під вказаними параметрами розуміють: t_{SY} - інтервал між початками (закінченнями) сигналів на будь-якому управляючому вході ІС; (t_{SU}), (t_V) - інтервали, відповідно, між початками і кінцями двох різних управляючих сигналів; (t_W) - тривалість дії заданого сигналу управління. Вказані часи можуть задаватися відносно будь-яких управляючих сигналів ІС ПП.

Визначення основних динамічних параметрів ПП в різних режимах роботи ілюструється часовими діаграмами, наведеними на рис. 31.5, а, б.

Кажучи про швидкодію пам'яті, необхідно пам'ятати, що перш ніж зчитувати інформацію, потрібно знайти її місце розташування в ПП.

При розробці напівпровідникових ПП знайшов застосування метод довільного доступу, при якому час вибірки постійний і не залежить від місця розташування інформації, яка зберігається в масиві.

За виконуваними функції ПП можна розділити на:

- пристрої оперативної пам'яті (ПОП);
- пристрої постійної пам'яті (ППП).

31.2 ПРИСТРОЇ ОПЕРАТИВНОЇ ПАМ'ЯТІ (ПОП)

ПОП – пристрій, що призначений для запам'ятовування даних поточних обчислень. Такі ПП дозволяють оновлювати дані, замінювати стару інформацію на нову тощо.

У ПОП використовуються дві основні схеми зберігання інформації: на тригерах та конденсаторах. ПОП, в яких використовуються тригера як елементи пам'яті, називають ПОП статичного типу, а якщо застосовують конденсатори як елементи пам'яті, то такі ПОП є динамічного типу. За англійською термінологією ПОП RAM (Random access memory). Відповідно Static та Dynamic - SRAM та DRAM .

Приклад: Напівпровідниковий ПОП типу K155P42 має адресні входи $A_0 \div A_3$, входи даних $D_0 \div D_3$, входи управління V, W , вихідні дані $Q_1 \div Q_4$. Об'єм такого ПОП шістнадцять чотирьох розрядних слів (рис. 31.1)

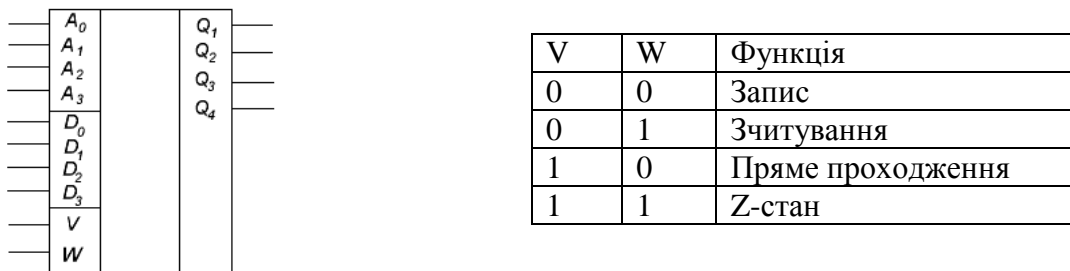


Рис. 31.1 ПОП типу K155P42

Переваги ПОП: висока швидкодія, мала маса та габарити, порівняно висока надійність.

На рис. 31.2. зображено структурну схему ПОП, яка складається з чотирьох основних блоків.

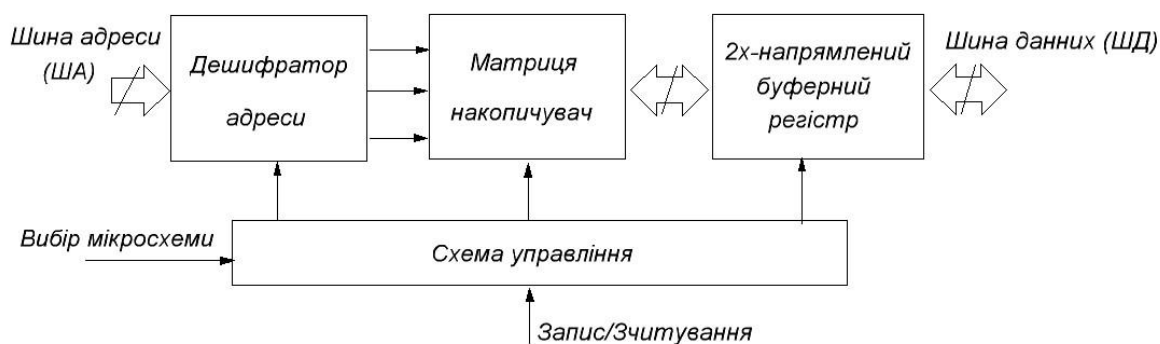


Рис. 31.2 Структурна схема ПОП.

Схема може функціонувати у трьох режимах:

1. читання;
2. зберігання;
3. запису.

Відповідно до цього на шині даних можуть з'явитись дані з матриці-накопичувача, може бути Z-стан ШД, а також поява даних на ШД, що надходять у матрицю-накопичувач.

Оперативні ПП можуть бути виконані як статичними, так і динамічними. У статичних ПОП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Руйнування інформації можливе тільки при її примусовому стиранні або відключенні напруги джерела живлення.

На рис. 31.3 наведено запам'ятовуючий елемент статичного типу на тригері, в якому використовуються польові транзистори.

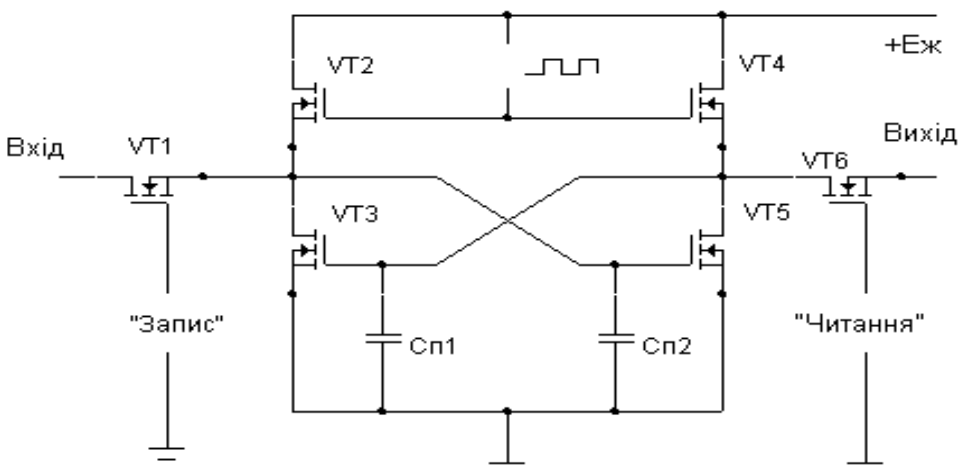


Рис.. 31.3 Тригерна комірка пам'яті

Для зменшення споживання енергії на затвори транзисторів VT2 і VT4 надходить імпульсна напруга з щільністю $Q \approx 10$, яка періодично закриває і відкриває канали цих транзисторів, при

цьому суттєво зменшується середнє значення струму споживання. За наявності паразитних ємностей Сп інформація, що записана в тригері, не руйнується при закритті VT2 і VT4.

Перевагою таких комірок пам'яті (рис. 31.3) є висока ступінь упаковки елементів, мала коштовність і споживана потужність.

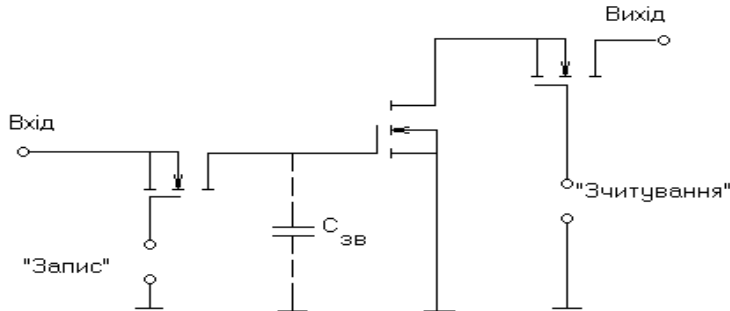


Рис. 31.4 Динамічний запам'ятовуючий елемент

В ПОП динамічного типу функції ЗЕ виконує конденсатор. Інформація представлена у вигляді заряду, наприклад, присутність заряду на конденсаторі відповідає логічній "1", відсутність "0".

На рисунку 31.4 наведено варіант реалізації ЗЕ з застосуванням конденсаторів. В якості запам'ятовуючого елемента застосовується ємність переходу затвор-виток (Сзв). Для запису інформації на шину запису подається "1" і лівий транзистор відкривається й відповідно формується заряд на конденсаторі від вхідної шини. Для читання інформації подають логічну одиницю на правий транзистор і роблять висновок щодо омичного стану каналу. Не зважаючи на великий опір переходу затвор-виток середнього транзистора, конденсатор розряджається, тому необхідний пристрій періодичного підзаряду конденсатора.

Основною вимогою, що пред'являється до ПОП, є забезпечення максимально можливої швидкодії при заданих об'ємі і організації.

Для позначення на принципових електричних схемах ІС ПОП використовується скорочення RAM (random access memory).

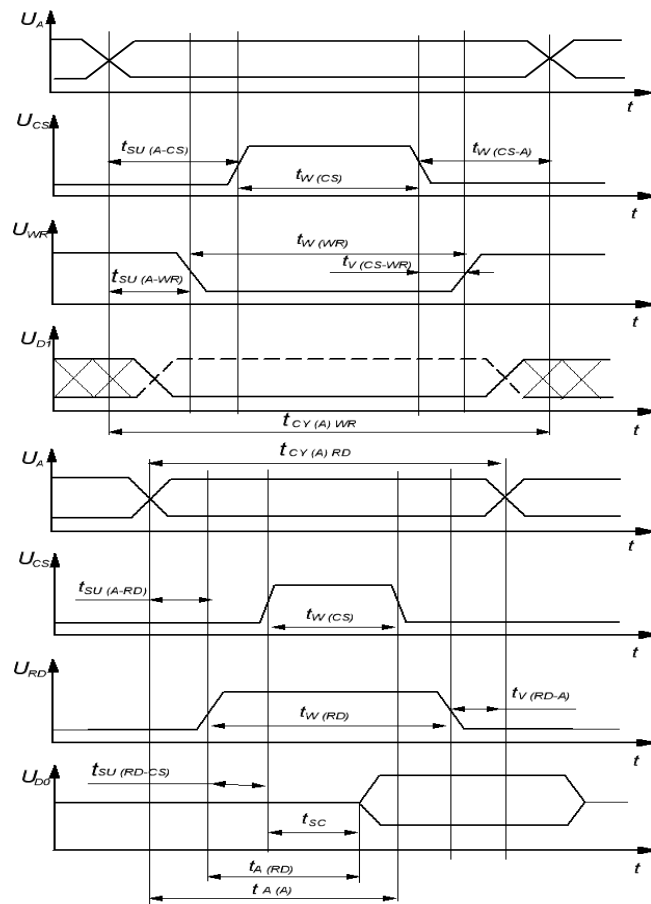


Рис. 31.5. Типові часові діаграми роботи ПП в режимах запису (а) та читання (б):

$t_{SY(A)WP}$ - час циклу адреси в режимі запису; $t_{W(CS)}$ - тривалість сигналу вибірки; $t_{W(WR)}$ - тривалість сигналу запису; $t_{SU(A-CS)}$ - час установки сигналу вибірки (CS) відносно адреси (A); $t_{SU(A-WR)}$ - час установки сигналу вибірки (WR) відносно адреси (A); $t_{V(CS-A)}$ - час зберігання адреси (A) після зняття сигналу вибірки (CS); $t_{V(CS-WR)}$ - час зберігання адреси (A) після зняття сигналу вибірки (CS); $t_{SU(A-RD)}$ - час циклу адреси в режимі зчитування; $t_{A(A)}$ - час вибірки адреси; $t_{A(RD)}$ - час вибірки сигналу зчитування; $t_{SY(A)RD}$ - час циклу адреси в режимі зчитування (RD); $t_{SU(RD-CS)}$ - час встановлення сигналу вибірки (CS) відносно сигналу зчитування (RD); $t_{W(CS)}$ - тривалість сигналу вибірки; $t_{W(RD)}$ - тривалість сигналу зчитування; $t_{V(RD-A)}$ - час зберігання адреси після зняття сигналу зчитування.

31.3. ПП З ОДНОВИМІРНОЮ АДРЕСАЦІЄЮ.

Як вже наголошувалося раніше, в ПП з вільним доступом для зберігання кожного біта інформації використовується окремий ЕЗЕ. Залежно від способу знаходження потрібного елемента в масиві інших однотипних елементів розрізняють структури з одновимірною (лінійною) і двовимірною адресацією.

На рис. 31.6. як приклад наведена структурна схема ПП ($M=16$, організація 4×4) з одновимірною адресацією. Дана структура містить матрицю 4×4 ЕЗЕ, кожен з яких забезпечений трьома виводами: входом інформації (IN), виходом інформації (OFF) і виходом дозволу роботи - вибору кристала (CS - chip select), дешифратор адреси, вхідні і вихідні ключі на елементах 2І.

Якщо на вхід дешифратора подано деяке адресне слово, на відповідному його виході формується сигнал лог. 1, який вибирає все ЕЗЕ, розташовані в одному з рядків матриці. Подальша робота пристрою залежить від того, який режим роботи задано управляючими сигналами. Якщо подано сигнал читання ($\overline{WR}/RD=1$), то інформація з вибраних ЕЗЕ подається на перші входи вихідних елементів 2І. На другі входи цих ключів подано одиничний логічний сигнал. Інформація, що зберігалася у вибраних ЕЗЕ, потрапляє на вихідні **ВИВОДИ** DO_0, DO_1, DO_2, DO_3 .

Якщо на схему подано сигнал „запис” ($\overline{WR}/RD=0$), то інформація з вхідних шин DO_0, DO_1, DO_2, DO_3 через вхідні елементи 2І подається на входи ЕЗЕ і записується в них.

Особливістю даної структурної схеми являється одночасний запис і зчитування інформації, що зберігається в рядку матриці ЕЗЕ. Тому при заданій розрядності збереженого слова нарощування об'єму пам'яті може виконуватися тільки за рахунок збільшення числа рядків матриці. Це, у свою чергу, веде до значного збільшення кількості виходів дешифратора тобто до ускладнення апаратної реалізації.

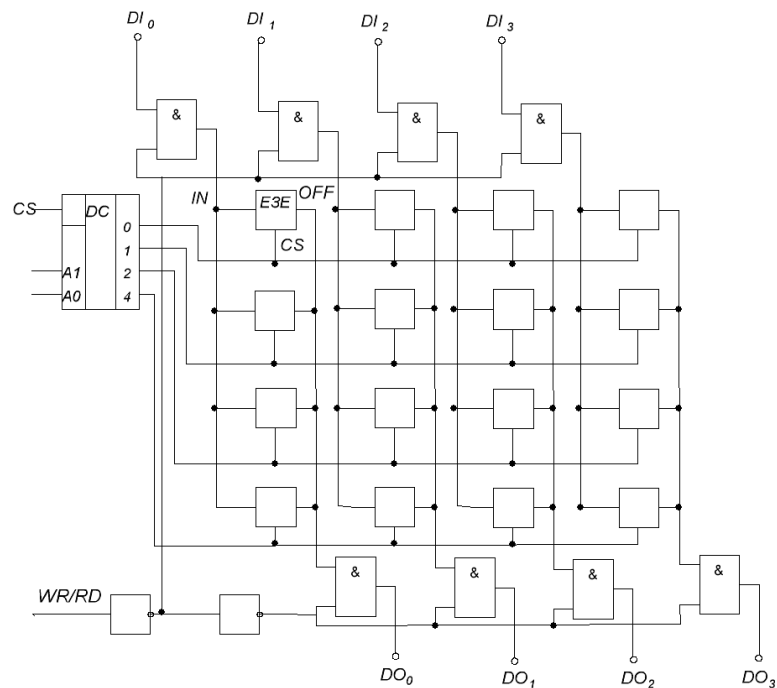


Рис. 31.6. Структурна схема ПП з одномірною адресацією.

З погляду спрощення дешифратора бажано виконувати матрицю прямокутною. Проте при використанні розглянутої структури це припускає збільшення розрядності вихідного слова.

Вирішити цю суперечність можна, якщо в якості входних і вихідних ключі ІС використовувати відповідно схеми демультимплексорів і мультимплексорів. Стосовно ПП їх прийнято називати селекторами. При цьому частина розрядів адресного слова використовується для управління селекторами.

Структурна схема ПП з організацією 256×4 , реалізуюча описаний принцип, наведена на рис. 31.7. Вона включає матрицю ЕЗЕ розміром 32×32 елемента, дешифратор адреси, вхідний і вихідний селектори і елементи управління режимами читання-запису. Кожен ЕЗЕ (див. рис. 31.6) забезпечений трьома виводами: входом і виходом інформації і виводом дозволу роботи (вибірки).

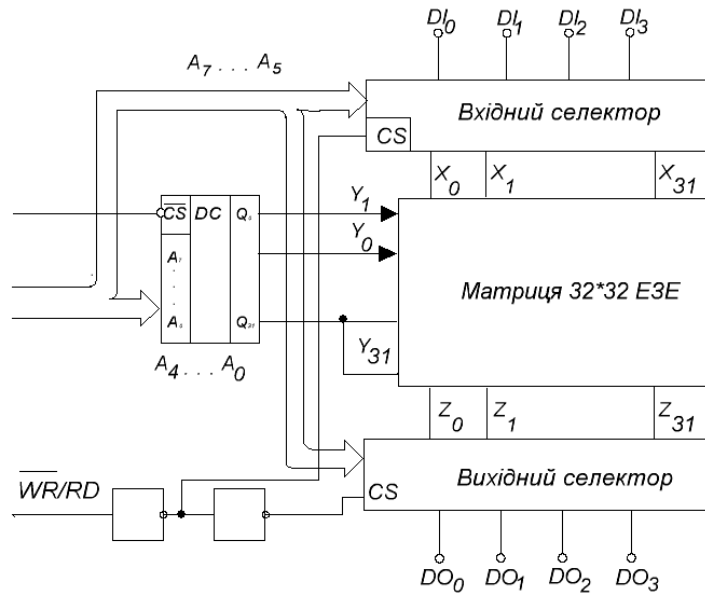


Рис. 31.7. Структурна схема ПП з селекторами.

Управління доступом до такого об'єму інформації вимагає подачі на вхід ПП 256 різних адрес, тобто припускає використання 8-розрядного адресного слова. Молодші його розряди $A_4 \dots A_0$, надходячи на дешифратор адреси, вибирають з матриці одну з 32 рядків ЕЗЕ. При цьому інформація в залежності від заданого режиму роботи може або прочитуватися ($\overline{WR}/RD = 1$), або записуватися ($\overline{WR}/RD = 0$) у всі елементи вибраного рядка. Вибір потрібних ЕЗЕ проводиться відповідно або вхідним, або вихідним селекторами, які залежно від значення старших розрядів адреси $A_7 \dots A_5$ вибирають з рядків потрібні елементи.

Очевидно, що описані структури вигідно використовувати при одночасному записі-зчитуванні інформаційних слів великої розрядності. У протилежному випадку практична реалізація даних структур приводить до великих апаратних витрат.

31.4. ПП З ДВОВИМІРНОЮ АДРЕСАЦІЄЮ

При необхідності побітного запису-зчитування інформації використовують структуру пам'яті з двовимірною адресацією (рис. 31.8). Дана структура містить матрицю ЕЗЕ, статичний регістр адреси, дешифратори рядка і стовпця, підсилювачі запису і зчитування, вхідний і вихідний буферні тригери. Проте, на відміну від схеми рис. 31.6, кожен ЕЗЕ матриці містить не один, а два виводи дозволу роботи ($CS1$ і $CS2$). При цьому інформаційні виводи r_1 і r_2 є оборотними, тобто дозволяють як записувати так і прочитувати інформацію. Для вибору потрібного ЕЗЕ на обидва входи CS необхідно подати активні логічні рівні.

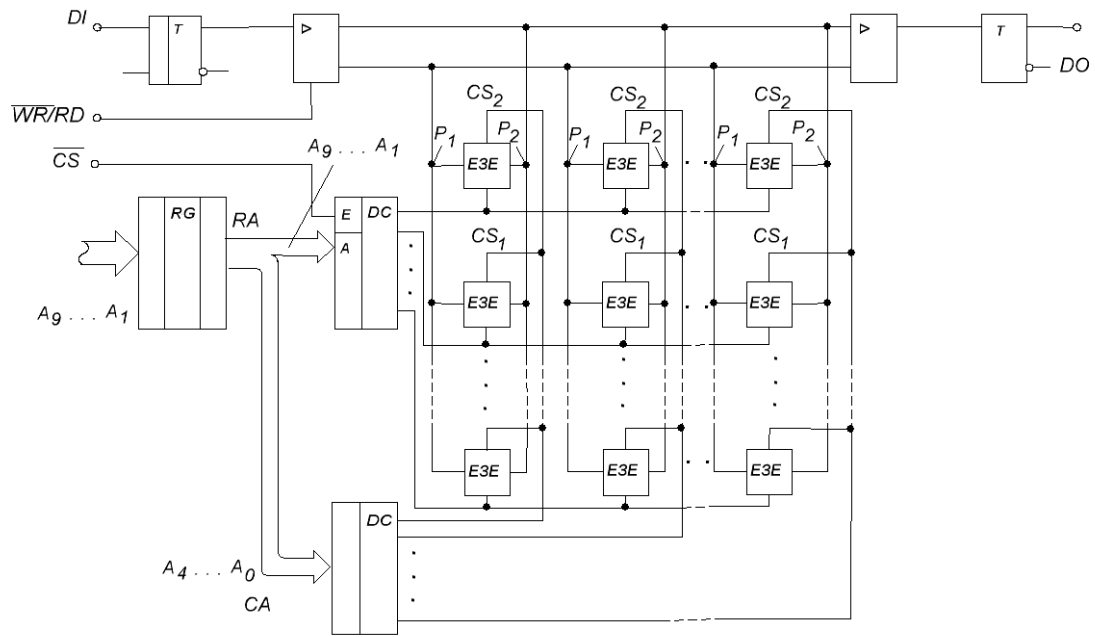


Рис. 31.8. Структурна схема ПП з двовимірною адресацією

Кола управління матрицею ЕЗЕ забезпечують реалізацію одного з трьох режимів роботи:

- зберігання, при якому ЕЗЕ відключені від входу і виходу ІС;
- читання, при якому інформація з ЕЗЕ, вибраного по відповідній адресі, видається на вихід ІС;
- запису, при якому інформація з входу ІС записується за вказаною адресою.

Кожному ЕЗЕ матриці привласнюється певна адреса, пошук якої проводиться вказівкою номерів відповідних рядка і стовпця. Ці номери формуються на виходах дешифраторів. Адреса ЕЗЕ у вигляді двійкового числа приймається по адресній шині регістром адреси. Число розрядів регістра адреси однозначно пов'язано з об'ємом пам'яті ІС. Число рядків і стовбців матриці ЕЗЕ звичайно вибирається рівним цілому ступеню числа 2 причому загальний об'єм пам'яті визначається добутком числа рядків $N_{\text{ряд}}$ на число стовбців $N_{\text{стовб}}$:

$$M = N_{\text{ряд}} N_{\text{стовб}} = 2^{n_1} 2^{n_2} = 2^{n_1+n_2} \quad (31.2)$$

де $n = n_1 + n_2$ - число розрядів регістра адреси.

Припустимо, як і в схемі рис. 31.7, $M = 2^{10} = 1024$ (1К). Проте, оскільки в цьому випадку організація пам'яті $1K \times 1$, то для доступу до всієї інформації необхідно 10-розрядне адресне слово $A_9 \dots A_0$, то б т о $n = 10$. Якщо вибрати $n_1 = n_2 = 5$, то число рядків і стовпчиків буде рівне 32 і матриця ЕЗЕ буде квадратною. Розряди регістра адреси діляться на дві групи: одна (n_1) визначає двійкову адресу рядка (RA), інша (n_2) - двійковий адрес стовпця (CA). Кожна група розрядів

адреси подається на відповідний дешифратор (рядків і стовпчиків). Вихідні сигнали дешифраторів вибирають необхідний ЕЗЕ з матриці.

При читанні ($\overline{WR}/RD = 1$) вміст цього ЕЗЕ через підсилювач зчитування виводиться у вихідний тригер.

Режим запису встановлюється шляхом подачі в підсилювач запису сигналу дозволу запису ($\overline{WR}/RD = 0$). Цей сигнал відкриває підсилювач запису, і біт вхідної інформації надходить на внутрішню шину ІС, з якої переписується у вибраній по відповідній адресі ЕЗЕ.

Вказані процеси зчитування-запису можуть здійснюватися тільки у випадку, якщо на вхід CS, сполучений з входом стробування дешифратора рядка, подано сигнал дозволу. Звичайно це сигнал лог. 0. За відсутності цього сигналу робота дешифратора рядка блокується, що еквівалентно забороні вибірки ЕЗЕ за вказаною адресою. В цьому випадку ІС знаходиться в режимі зберігання інформації і її виходи відключені від матриці ЕЗЕ.

Розглянута організація пам'яті забезпечує зберігання $2^n \times 1$ кодових слів, тобто заданій адресі відповідає один біт інформації. Використання методу двовимірної адресації дозволяє максимально спростити схему ІС, що при заданій площі кристала є передумовою отримання максимально великих об'ємів пам'яті.

31.5 КОНТРОЛЬНО-НАВЧАЛЬНИЙ ТЕСТ ДО ЛЕКЦІЇ 31

Питання 31.1

Назвіть основні параметри пристроїв пам'яті

Вибір правильної відповіді

1 – напруга та струм живлення, вхідний опір, розрядність

2 – розрядність, ємність, швидкодія споживання потужності

Питання 31.2

Пристрої оперативної пам'яті – це:

Вибір правильної відповіді

1 – пристрої призначені для зберігання інформації, що залишається незмінною протягом всього часу експлуатації пристрою

2 – пристрій, що призначений для запам'ятовування даних поточних обчислень

3 – сукупність елементів цифрової електроніки, що як ціле здатні виконувати функції обробки інформації.

Питання 31.3

Які основні функції пристроїв оперативної пам'яті (ПОП)?

Вибір правильної відповіді

1 – зберігання інформації

2 – запис, збереження і читання інформації

3 – запис, пряме проходження інформації

Z-стан

Питання 31.4

З яких основних блоків складається структурна схема ПОП?

Вибір правильної відповіді

1 – матриця накопичувач, дешифратор адреси, буферні регістри, схема управління

2 – матриця накопичувач, шини даних, шини адреси, тригера

Питання 31.5

Що застосовують в статичних елементах пам'яті для зменшення споживання енергії?

Вибір правильної відповіді

- 1 – польові транзистори
- 2 – імпульсну напругу живлення тригера
- 3 – конденсатори замість тригерів

Питання 31.6

Що використовується в динамічних елементах пам'яті для зберігання інформації?

Вибір правильної відповіді

- 1 – польові транзистори
- 2 – ємність спеціального конденсатора
- 3 – ємність переходу затвор-витік транзистора

Питання 31.7

Що відбувається у ПОП з одномірною адресацією при подачі коду адреси і $CS = 1$?

Вибір правильної відповіді

- 1 – з виходу дешифратора адреси з'являється сигнал лог „1” який вибирає всі ЕЗЕ рядка матриці
- 2 – з виходу дешифратора адреси з'являється сигнал лог „1” який вибирає один ЕЗЕ рядка матриці

Питання 31.8

Якщо на схему рис. 31.6 подано сигнал $\overline{WR}/RD = 0$ код адреси, $CS = 1$, то що відбувається у схемі?

Вибір правильної відповіді

- 1 – інформація з вибраних ЕЗЕ потрапляє на вихідні виводи $DO_0 \dots DO_3$
- 2 – інформація з вхідних шин $DO_0 \dots DO_3$ подається на входи ЕЗЕ

Питання 31.9

З яких основних блоків складається структурна схема ПП з одномірною адресацією?

Вибір правильної відповіді

- 1 – регістр адреси, матриця ЕЗЕ, шини даних, шини адреси
- 2 – регістр адреси, дешифратора рядків і стовбців, підсилювач запису і зчитування матриці ЕЗЕ, буферні тригера
- 3 – матриці ЕЗЕ, шин рядків і стовбців

схеми управління

Питання 31.10

Які сигнали необхідно подати на схему рис. 31.8, щоб забезпечити режим запису?

Вибір правильної відповіді

1 – $\overline{CS} = 0; \overline{WR} / RD = 0$ і код адреси

2 – $\overline{CS} = 0; \overline{WR} / RD = 1$ і код адреси