

Лекція 35

Інтерфейсні мікросхеми

Мета лекції: вивчення побудови та функціонування інтерфейсних мікросхем.

План лекції:

35.1 Генератор тактових імпульсів.

35.2 Восьмирозрядний буферний регістр IP82.

35.3 Програмовний таймер.

35.4 Програмовний паралельний інтерфейс.

35.5 Контрольно-навчальний тест до лекції 35.

35.1 Генератор тактових імпульсів

Генератор тактових імпульсів забезпечує синхронізацію роботи МПС. У складі МПК К1810 є мікросхема К1810ГФ84 (далі ГФ84), яка призначена для формування серій синхроімпульсів, сигналів скидання та готовності системи на основі мікропроцесора ВМ86.

Генератор ГФ84 характеризується: схемотехнологією — ТТЛШ; частотою синхронізації — до 80 МГц; напругою живлення — плюс 5 В і споживаною потужністю — 0,7 Вт; амплітудою імпульсів — 4,5 В (рис. 35.1).

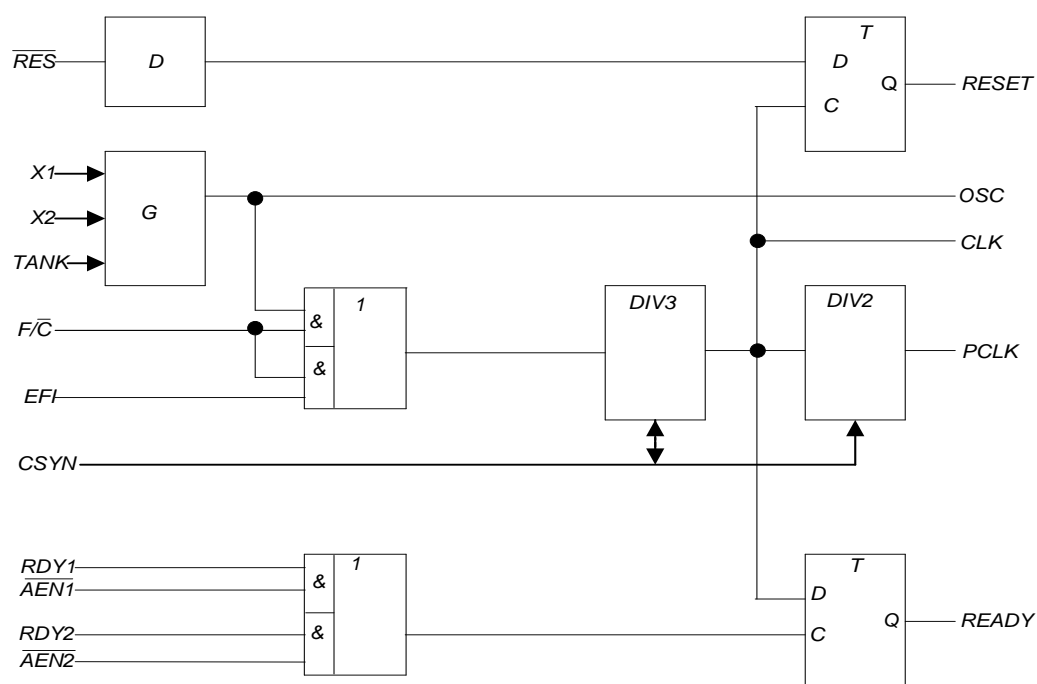


Рис. 35.1. Структура ГТІ К1810ГФ84

Мікросхема ГФ84 містить схеми задаючого генератора G, дільники частоти на три *DIV3* і два *DIV2*, які разом з логічними елементами виробляють прямокутні імпульси *CLK*, *PCLK* і синусоїдальний сигнал *OSK*. Вони призначені відповідно для тактування роботи мікропроцесора ВМ86, портів периферії чи зовнішніх пристроїв системи.

Сигнали синхронізації можуть формуватися з коливань основної частоти кварцового резонатора, підключеного до входів *X1* і *X2* (рис. 35.2).

За допомогою LC-фільтра, з'єднаного із входом *TANK*, можна змінити частоту коливань резонатора.

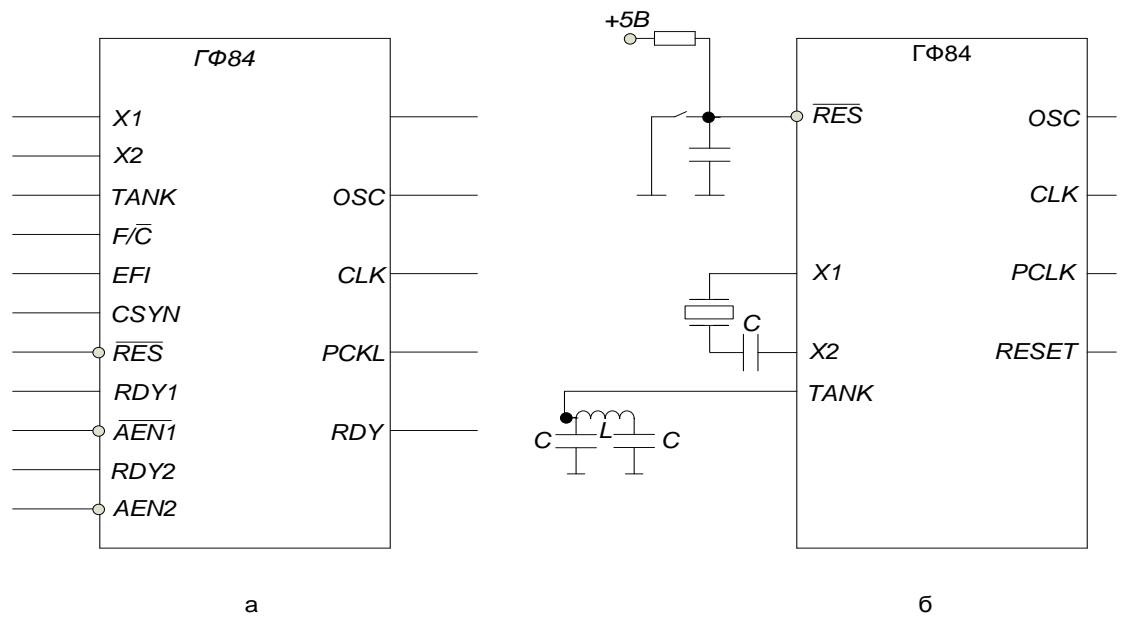
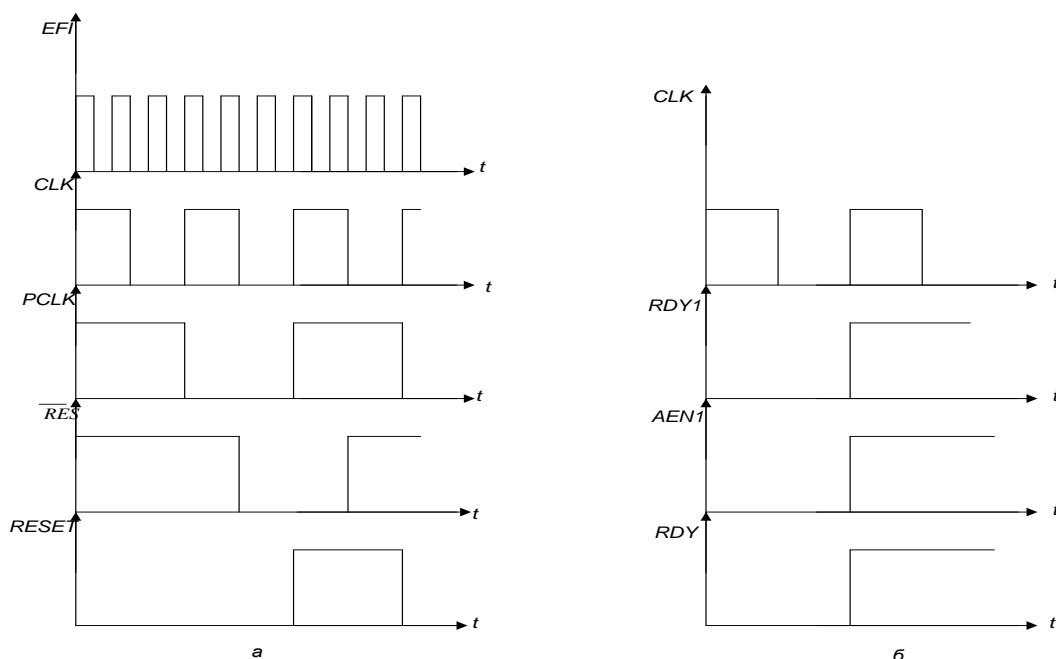


Рис. 35.2. Генератор тактових імпульсів ГФ84:
а-умовне графічне позначення; б-схема підключення кварцового резонатора

Генератор може синхронізуватися і від зовнішнього джерела сигналів, яке підключається до входу *EF1*. Режим синхронізації задають рівнем сигналу на вході F/C : при високому — від зовнішнього генератора, при низькому — від кварцового генератора. В обох режимах синхронізації частота сигналів *CLK* вдвічі більша частоти *PCLK*, але в три рази менша частоти *OSC* чи зовнішнього генератора (рис. 35.3, а).

Вхід *CSYN* служить для синхронізації декількох ГТІ системи: якщо *CSYN* = 1, то на виходах *CLK* і *PCLK* установлюються високі рівні, при *CSYN* = 0 на виходи *CLK* і *PCLK* поступають синхросерії.

Схема формування сигналу скидання *RESET* має на вході тригер Шмітта, а на виході -*D*-тригер, який формує фронт сигналу *RESET* за спадом *CLK*. Звичайно до входу \overline{RES} підключається *RC*-ланцюг, який забезпечує автоматичне формування сигналу скидання при включенні джерела напруги.



**Рис.35.3. Часові діаграми сигналів:
а-синхронізації; б-готовності**

Схема формування сигналу готовності до обміну даними *RDY* побудована з урахування шини *Multibus*. Вона має дві пари однакових сигналів *RDY1*, $\overline{AEN1}$ та *RDY2*, $\overline{AEN2}$, об'єднаних схемою І ЧИ:

$$RDY = RDY1 \cdot \overline{AEN1} \vee RDY2 \cdot \overline{AEN2}$$

D-тригер формує фронт сигналу *RDY* за спадом *CLK* і подає його на вході готовності мікропроцесора.

35.2 Восьмирозрядний буферний регістр IP82

Восьмирозрядний буферний регістр IP82 з трьома станами характеризують такі параметри: схемотехнологія — ТТЛШ; число транзисторів на кристалі — 524; напруга живлення — плюс 5 В і споживана потужність 1 Вт.

Регістр IP82 має вісім тригерів, стробоване записування даних у які відбувається по входах *D17-D10* при значенні сигналу $STB = 1$ (рис. 35.4).

Прямі виходи *D07-D00* регістра підключені до буферних схем *SW* з трьома станами.

При значенні сигналу $\overline{OE} = 0$ буфери відкриваються і дані передаються на вихід. Якщо $\overline{OE} = 1$, то буфери устанавлюються в Z-стан. Сигнал \overline{OE} не

впливає на стан тригерів та функцію записування інформації.

Шинний формувач BA86 забезпечує двонаправлений обмін даними між локальною та системною шинами, підсилення сигналів та відключення від шини у визначені моменти часу. Мікросхема BA86 характеризується такими параметрами: ТТЛШ схемотехнологією, числом транзисторів на кристалі — 567; напругою живлення — плюс 5 В і споживаною потужністю — 1 Вт.

Шинний формувач (ШФ) має двонаправлені входи — виходи A7-A0 та B7-B0, вхід T для керування напрямком обміну і вхід \overline{OE} для зняття Z-стану визначеного напрямку переходу (рис. 35.5).

Кожний розряд формувача містить дві схеми SW з трьома станами кожна. При $\overline{OE} = 1$ всі SW-схеми знаходяться в Z-стані, при $\overline{OE} = 1$ і T=0 обмін даними відбувається в напрямку від A до B. При $\overline{OE} = 0$ і T=1 обмін даними відбувається від B до A.

Формувач споживає від ЦП струм біля одного міліампера, а може віддавати в системну шину десятки міліампер.

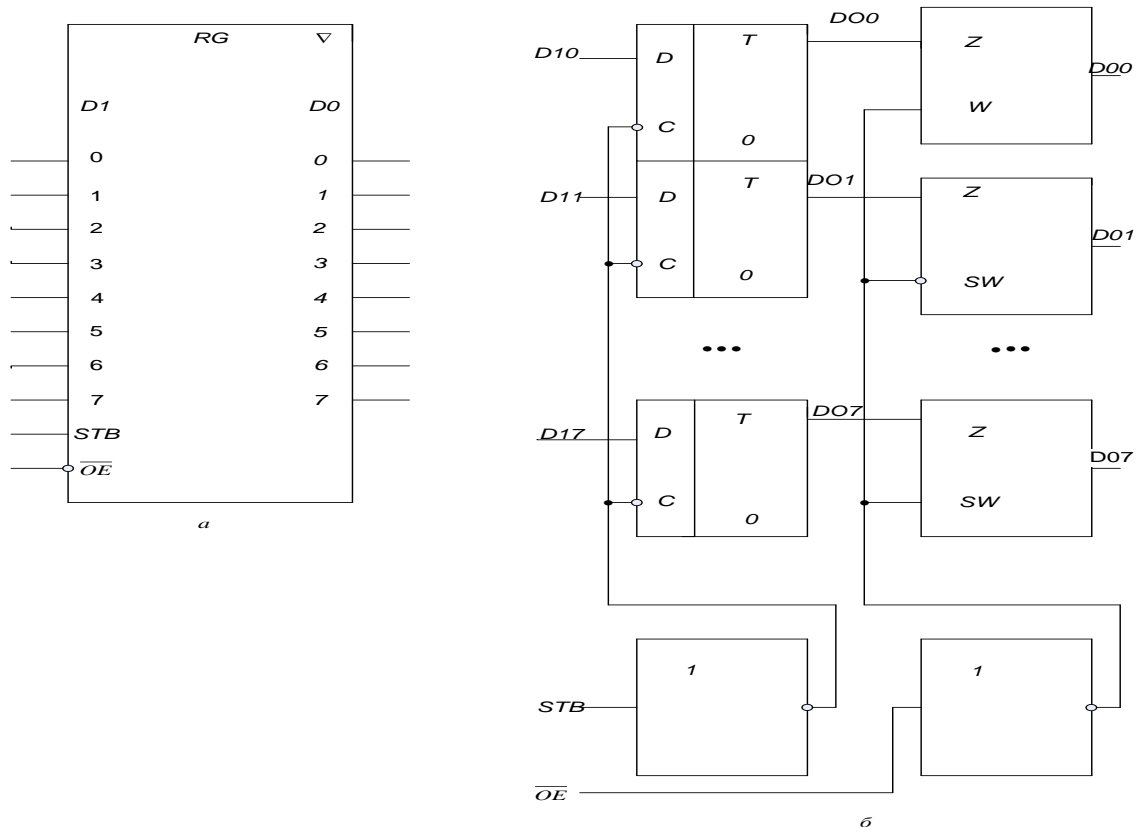


Рис 35.4. Буферний регістр IP82:
а-умовне позначення; б-функціональна схема

35.3 Програмовний таймер

Програмовний таймер (ПТ) призначений для організації роботи МПС в режимі реального часу і дозволяє формувати сигнали з різними часовими інтервалами і частотними характеристиками.

В МПС широко використовують ПТ ВІ53 (аналог модуля 8253). Технічні параметри мікросхеми: схемотехнологія — n -МОН, число транзисторів — 1500; тактова частота — 2 МГц; напруга живлення — плюс 5 В і споживана потужність — 1 Вт.

Структура ПТ ВІ53 показана на рис. 35.5.

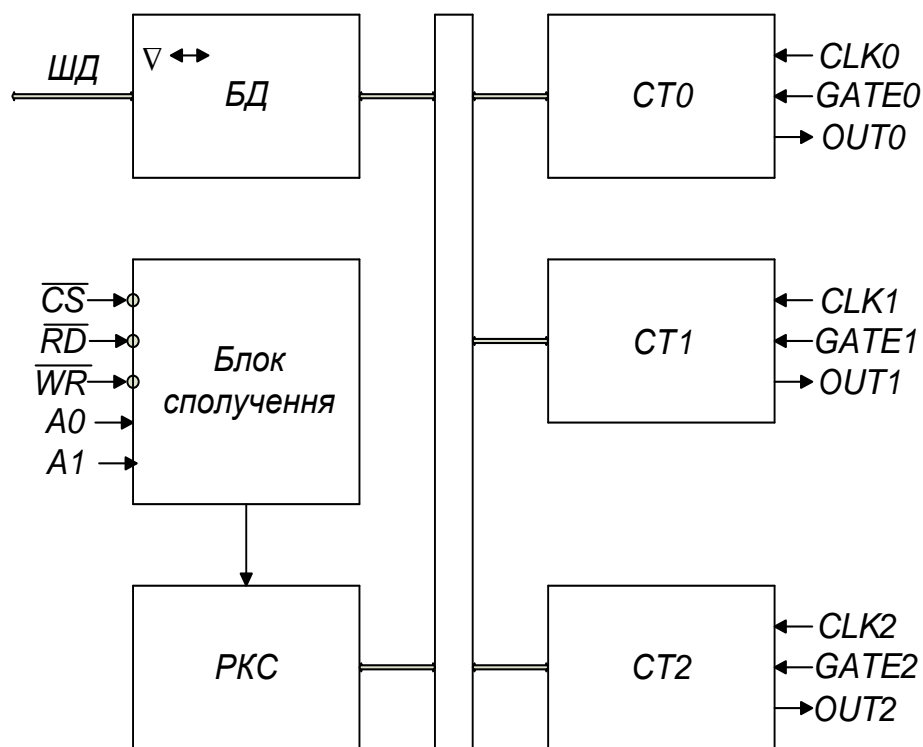


Рис.35.5. Структура ПТ ВІ53

До складу ПТ ВІ53 входять: буфер БД для зв'язку з мікропроцесором; блок сполучення, який забезпечує виконання операцій введення-виведення інформації; регістр керуючого слова РКС; лічильники СТ0-СТ3.

Призначення сигналів на входах і виходах ПТ: \overline{CS} — вибір мікросхеми; \overline{RD} , \overline{WR} — читання та записування; $A1$, $A0$ — адресні входи для вибору каналу ПТ чи РКС; $CLK0-CLK1$ — входи синхроімпульсів, кожен з яких зменшує зміст відповідного лічильника на одиницю; $GATE0-GATE2$ — входи керування лічильниками; $OUT0-OUT2$ — вихідні сигнали лічильників

Операції обміну інформацією між мікропроцесором і ПТ, які задають сигнали адреси і керування, наведені в табл. 35.1

Табл. 35.1

	Сигнал керування				
	\overline{CS}	\overline{RD}	\overline{WR}	A1	A0
ЩД → РКС	0	1	0	1	1
ЩД → СТ0	0	1	0	0	0
ЩД → СТ1	0	1	0	0	1
ЩД → СТ2	0	1	0	1	0
СТ0 → ЩД	0	0	1	0	0
СТ1 → ЩД	0	0	1	0	1
СТ2 → ЩД	0	0	1	1	0
Z-стан	1	X	X	X	X

Режим роботи кожного каналу програмується записуванням керуючого слова в РКС і початкового значення змісту лічильників. Формат керуючого слова і призначення його окремих розрядів показані на рис. 35.6.

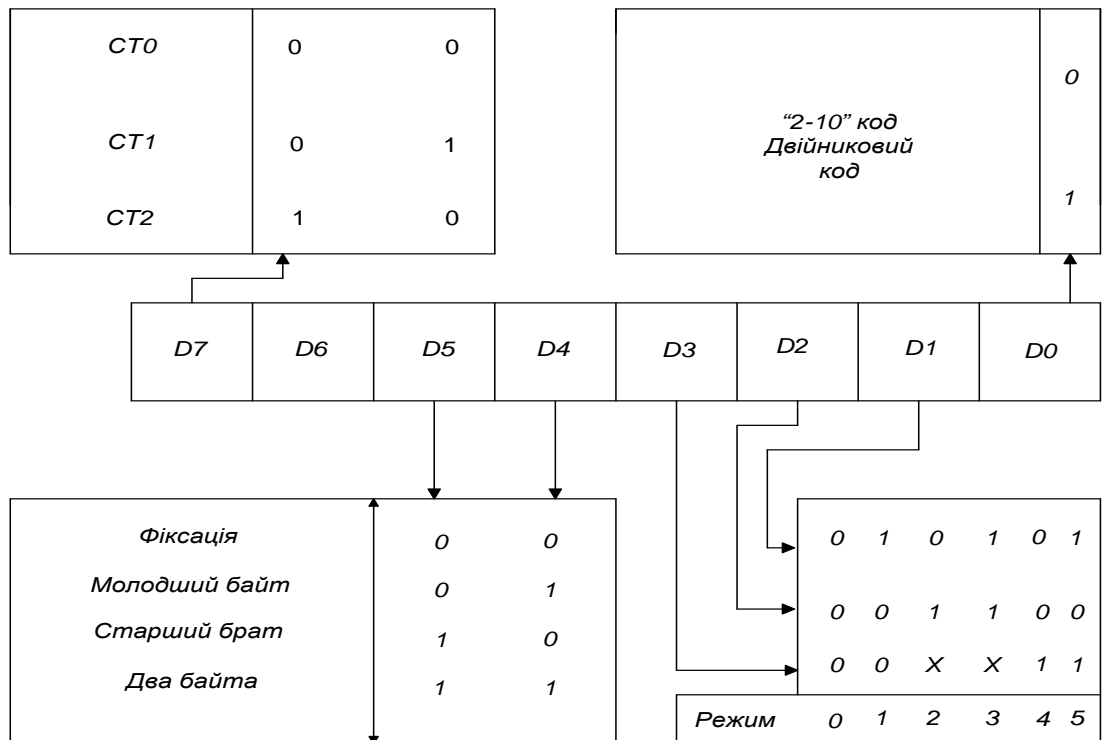
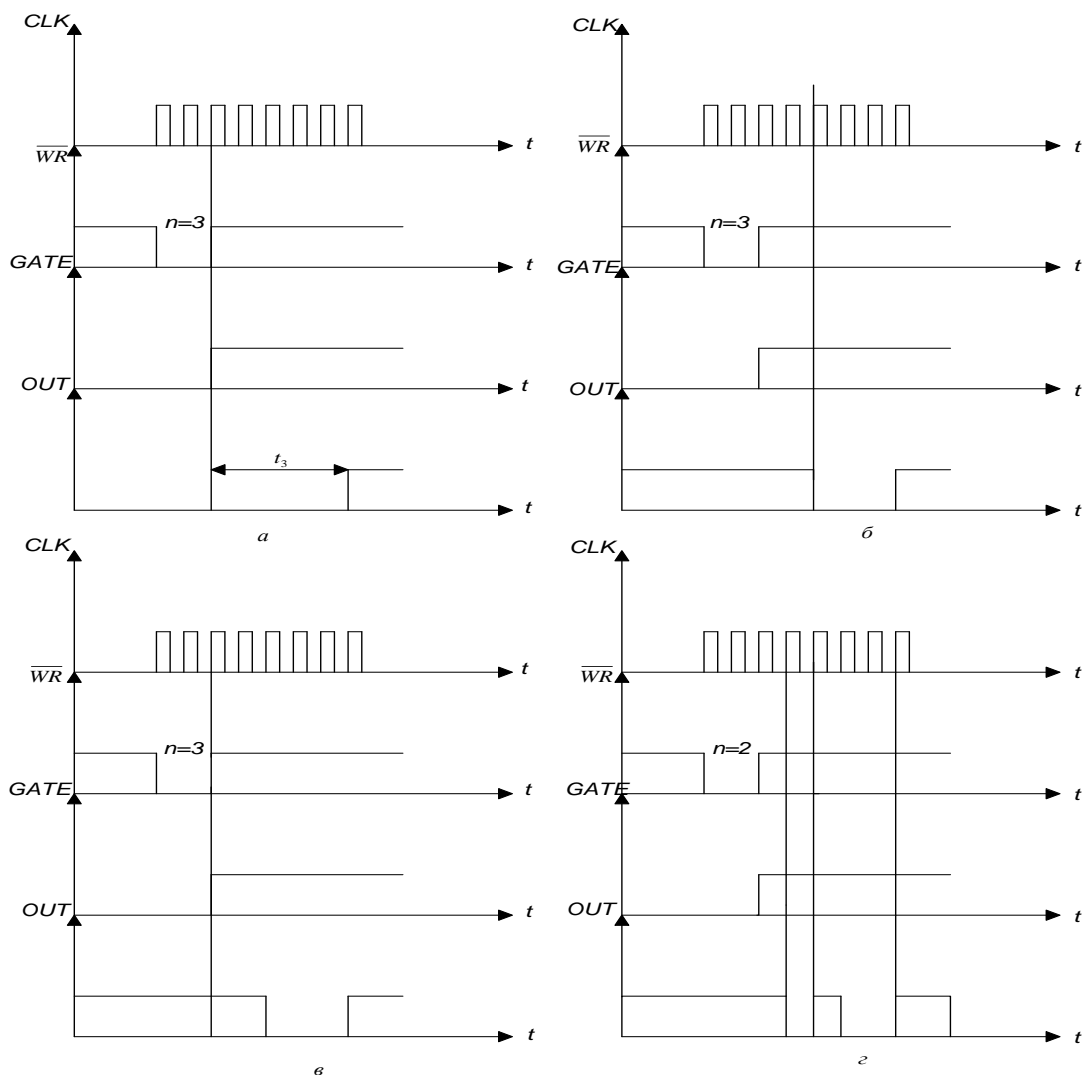


Рис.35.6. Формат керуючого слова

Під час роботи ПТ на входи *GATE* поступають сигнали дозволу або заборони лічби. Рівень вихідного сигналу *OUT* змінюється залежно від записаних в лічильник даних, заданого режиму і сигналу на вході *GATE*.

Кожний канал ПТ можна програмувати на роботу в одному із шести режимів:

- "0" — програмовна затримка (рис. 35.7,а);
- "1" — програмовний чекаючий мультивібратор (рис. 35.7, б);
- "2" — програмовний генератор тактових імпульсів (рис. 357, 8)
- "3" — генератор прямокутних сигналів (рис. 35.7, г);
- "4" — програмовно-керований строб;
- "5" — апаратно-керований строб.



**Рис.35.7. Часові діаграми роботи ПТ:
а-режим 0,б-режим 1,в-режим 2г-режим 3**

Схема підключення ПТ до магістралі МПС показана на рис. 35.8

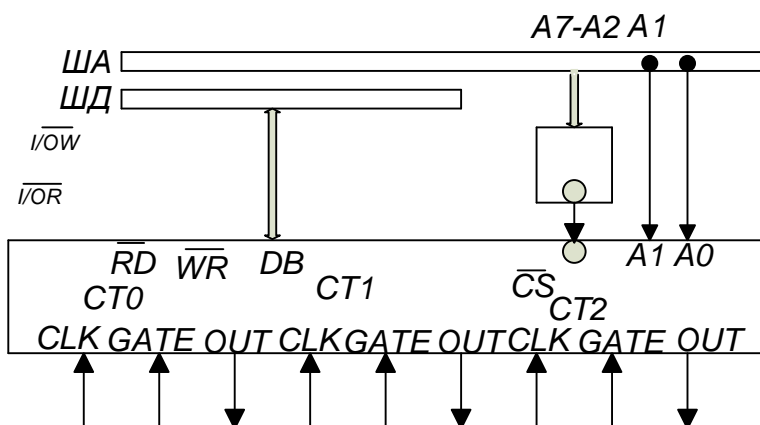


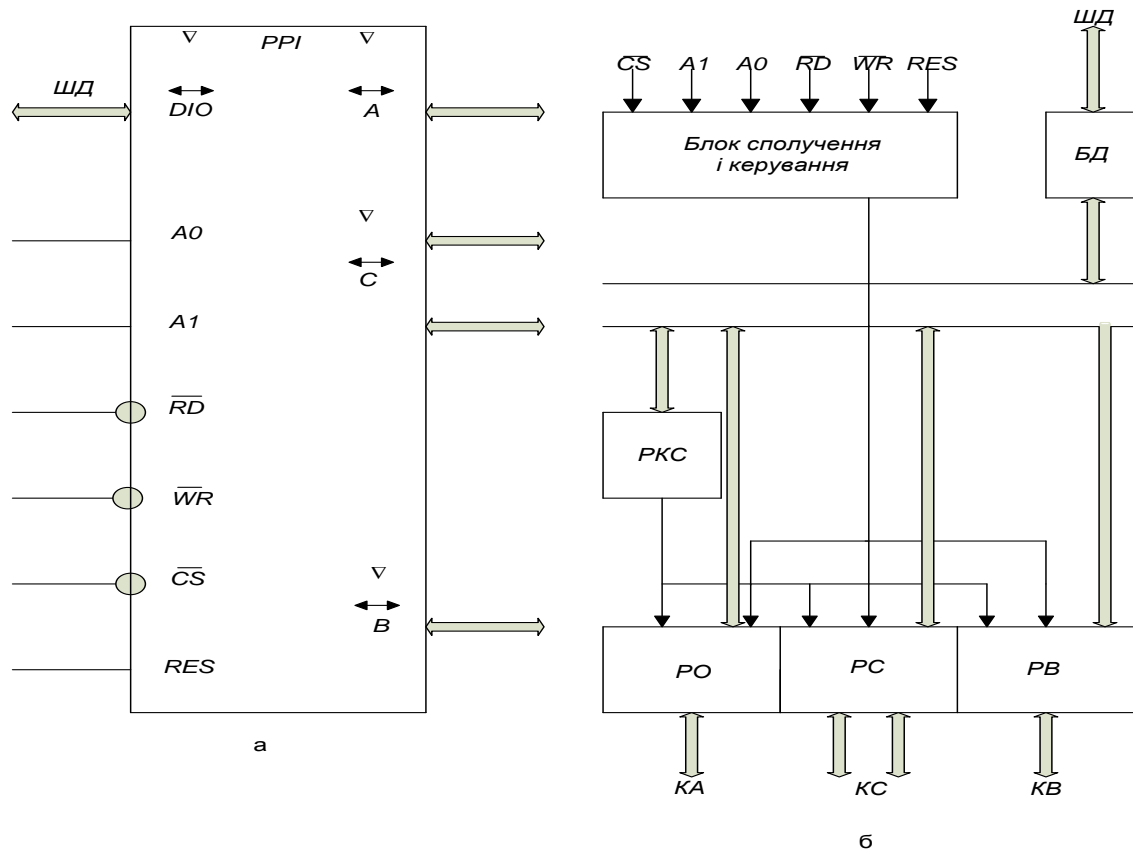
Рис. 35.8. Схема підключення ПТ до магістралі МПС

Тривалість керуючих сигналів на входах *GATE* має бути не менше 150 нс

35.4 . Програмовний паралельний інтерфейс.

Програмовний паралельний адаптер (ППА) типу ВВ55 призначений для організації паралельного обміну інформацією між ядром МПС і периферією (клавіатурою, індикаторами та ін.). Технічні характеристики: схемотехнологія — *n*-МОН, число транзитів — 1600; напруга живлення — плюс 5 В і споживана потужність — 0,3 Вт. До складу ППА входять (рис. 35.9);

- двонаправлений буфер даних БД, який підключається до системної шини МПС;
- блок сполучення і керування;
- три регістри *PA*, *PB* і *PC*, які разом із серійними двонаправленими буферами створюють порти введення — виведення *A*, *B* і *C*. Порти зв'язані з периферією каналами *KA*, *KB* і *KC* ;
- регістр керуючого слова РКС.
- Усі регістри, буфери і канали — восьмирозрядні. При цьому порт *C* розбивається на дві незалежні частини. Порт *A* і старші розряди порта *C* створюють групу *A*; порт *B* і молодші розряди порту *C* створюють групу *B*



**Рис.35.9. Програмовний паралельний адаптер BB55:
а-умовне позначення; б-функціональна схема**

На блок сполучення і керування поступають сигнали вибору мікросхеми \overline{CS} , читання \overline{RD} , записування \overline{WR} . Ці сигнали визначають напрямок передачі: введення (команди *IT ADR*) і виведення (команди *OUT ADR*).

Значення розрядів адрес $A1, A0$ адресують конкретний порт в ППА: $A1 \cdot A0 = 00$ — *A*, 01 — *B*, 10 — *C*, 11 — *ПКС*. Старші розряди адреси $A15 \sim A3$ поступають на адресний селектор, який формує сигнал вибору всієї мікросхеми \overline{CS} (табл. 35.2)

Табл. 35.2

Операція	\overline{CS}	\overline{RD}	\overline{WR}	A1	A0	Напрямок обміну
IN(введення)	0	0	1	0	0	ШД ← A
	0	0	1	0	1	ШД ← B
	0	0	1	1	0	ШД ← C
OUT(виведення)	0	1	0	0	0	ШД → A
	0	1	0	0	1	ШД → B
	0	1	0	1	0	ШД → C
	0	1	0	1	1	ШД → РКС
Z-стан	1	X	X	X	X	

Група А може настрюватись на один з трьох режимів обміну: 0 — напівдуплексний синхронний; 1 — напівдуплексний асинхронний; 2 — дуплексний асинхронний. Група В може настрюватись тільки на режим 0 або 1.

Керуючі слова (рис. 35.10) задають режими роботи портів (при D7 = 1) або побітно (при D7=0) установлюють розряди порту С; при цьому значення біта записують у розряд до слова керування.

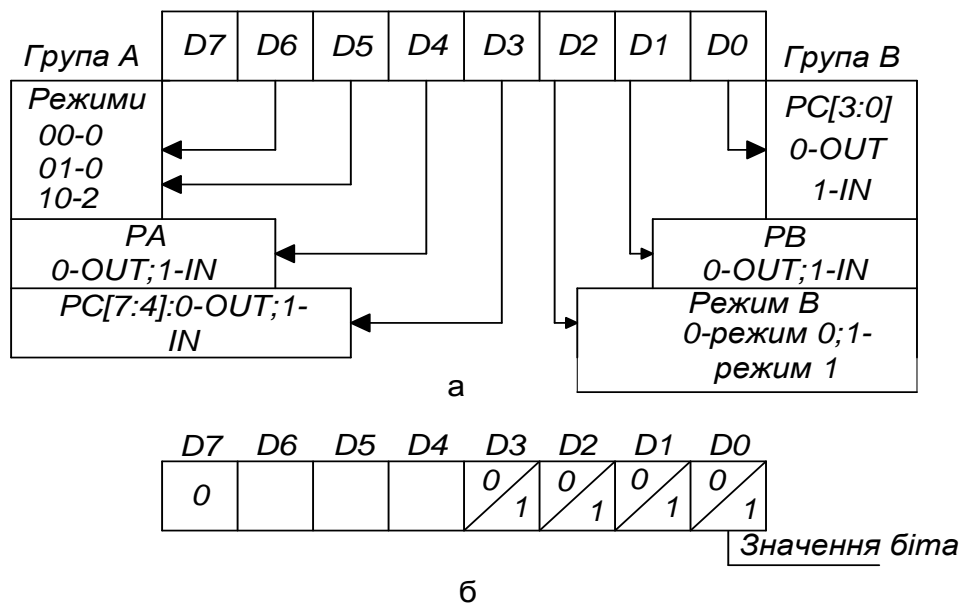


Рис.35.10. Структура керуючого слова ППА:

а- для задання режимів; б- для побітного установлення

Роздільне устанавлення використовують для послідовного обміну даними та організації обміну за перериванням. В портах A і B є тригери дозволу переривання відповідно T_A і T_B . Установлення в режим 2 цих тригерів дозволяє обмін за перериванням.

В режимі 0 порти A і B та дві рівні частини порту C незалежно настроюються на введення або виведення інформації без супроводжуваних сигналів керування. Дані, які виводяться з мікропроцесора, завжди попередньо завантажуються в акумулятор. За командою OUT зміст акумулятора пересилається в адресований порт, де він запам'ятовується. Дані, які вводяться в мікропроцесор за командою IN , поступають в акумулятор; після цього прочитаний порт обнуляється.

Приклад 35.1

Настроїти порт A на виведення, порти B і C — на введення даних в режимі 0. Адреса РКС ППА дорівнює 1103H. Команди програмування:

$MVI A, 10001011 B;$

$OUT 1103H.$

В режим 1 порти A і B використовують для асинхронної передачі даних, а лінії порту C - для вироблення та сприймання керуючих сигналів. Функціональне призначення керуючих сигналів порта C при виведенні даних.

- \overline{STB} — вхідний сигнал стробування записування даних в порт;
- \overline{IBF} — вихідний сигнал повідомлення для периферії, що вхідний буфер заповнений;
- INT — вихідний сигнал запиту на переривання.

Керуюче слово для введення в режим, конфігурація порту C і часові діаграми роботи показані на рис. 35.11.

Тригери дозволу переривання в цьому режимі попередньо встановлюються в режим 1 за розрядами $PC4$ — для порту A і $P2$ — для порту B . Вільні лінії $PC5$ і $PC4$ використовують для послідовного обміну даними.

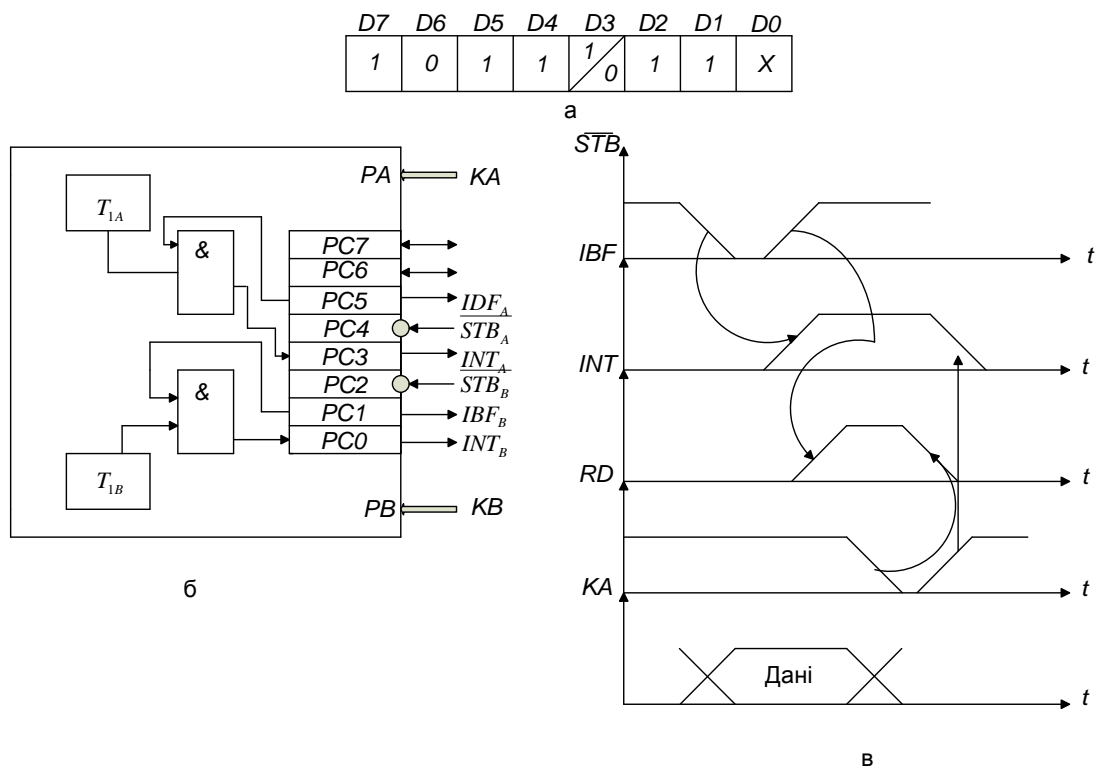


Рис.35.11. Робота ППА при введенні в режим 1:
а- керуюче слово; б- конфігурація порту С; в- часові діаграми

Функціональне призначення керуючих сигналів порту С при виведенні даних в режимі 1:

- \overline{OBF} — сигнал для периферії повідомляє, що вихідний буфер повний;
- \overline{ACK} — вхідний сигнал від периферії підтверджує прийом даних;
- INT — вихідний сигнал запиту переривання мікропроцесора.

Керуюче слово при виведенні в режимі 1, конфігурація порту С і часові діаграми роботи показані на рис. 35. 12

Тригери дозволу переривання при виведенні в режимі 1 попередньо встановлюються в положення 1 за розрядами $PC6$ — для порту А і $PC2$ — для порту В.

Режим 2 забезпечує дуплексний обмін між портом А і периферією та супроводжується п'ятьма керуючими сигналами $PC7$ - $PC3$. Останні 11 інтерфейсних ліній можуть настраюватися на режими 0 або 1. Керуюче слово для режиму 2, конфігурація порту С і часові діаграми роботи ППА показані на

рис. 35.12. Функції керуючих сигналів аналогічні режиму 1. Установлення в положення 1 тригерів дозволу переривання при введенні здійснюється за розрядами $PC4$, а при виведенні — $PC6$.

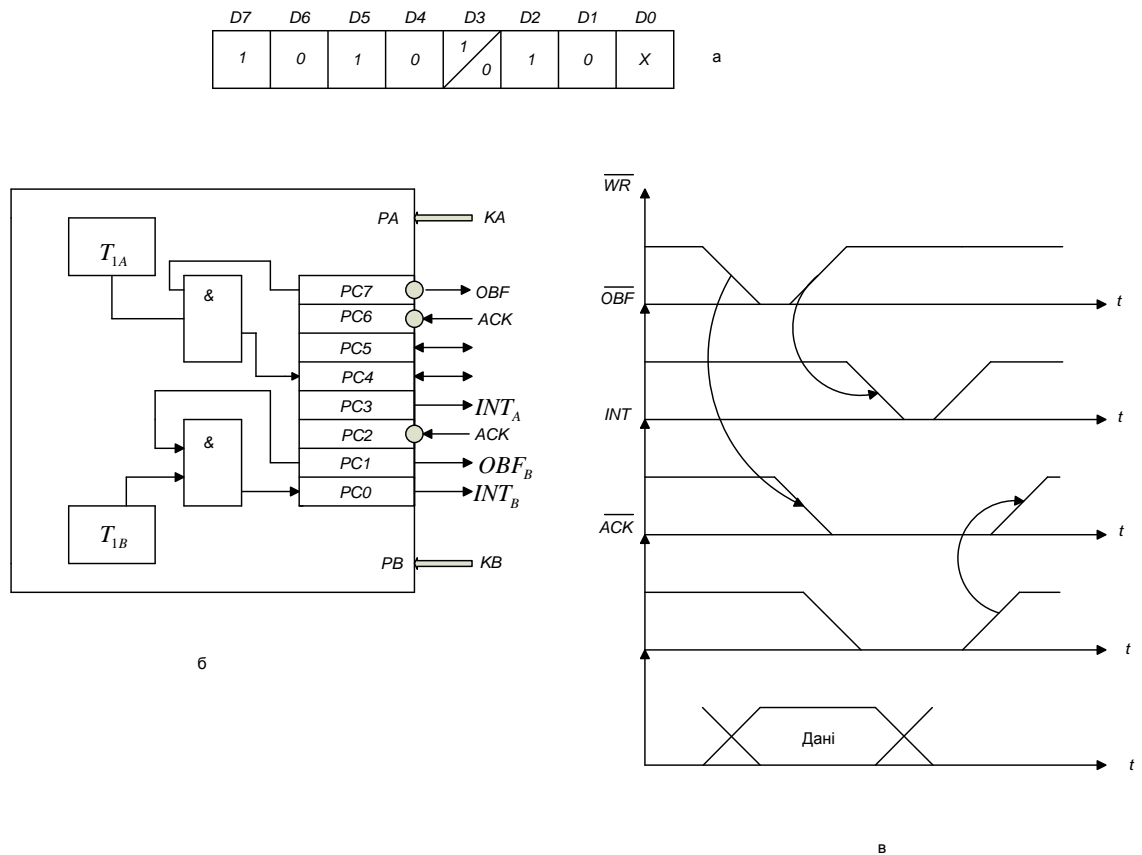


Рис.35.12. Робота ППА при введенні в режим 1:

а- керуюче слово; б-

конфігурація порта С; в- часові діаграми

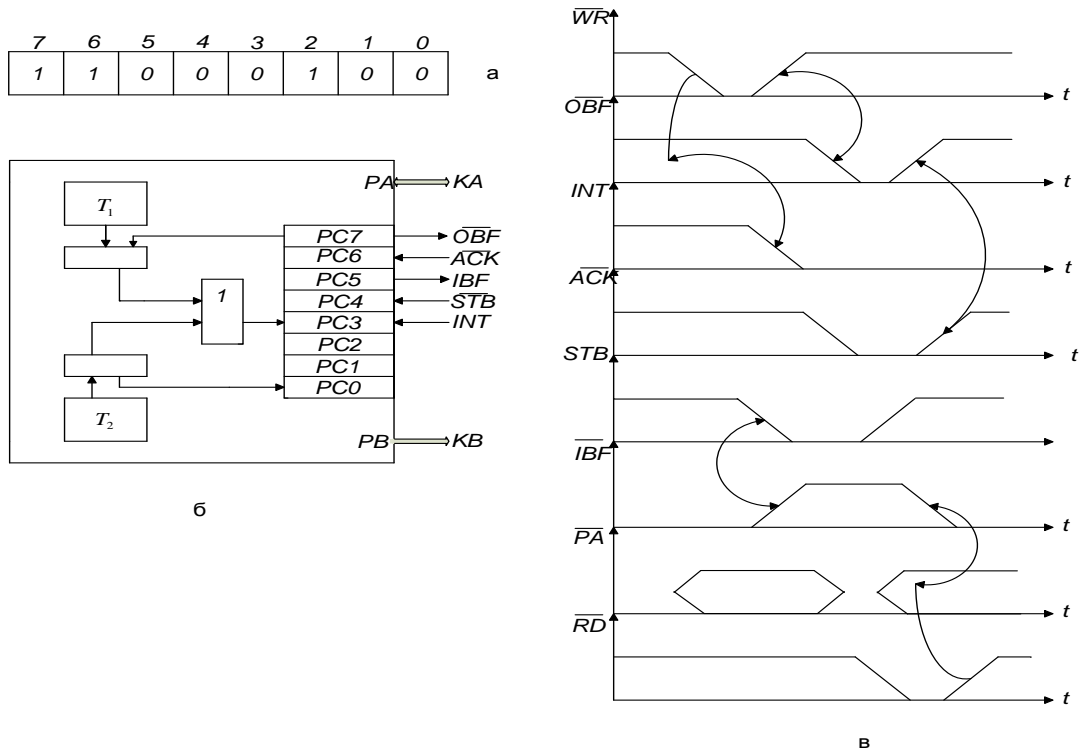
Приклад 35.2

Запрограмувати ППА для обслуговування клавіатури (введення даних) та індикаторів (виведення даних) в режимі 1. Програмування виконують такими командами:

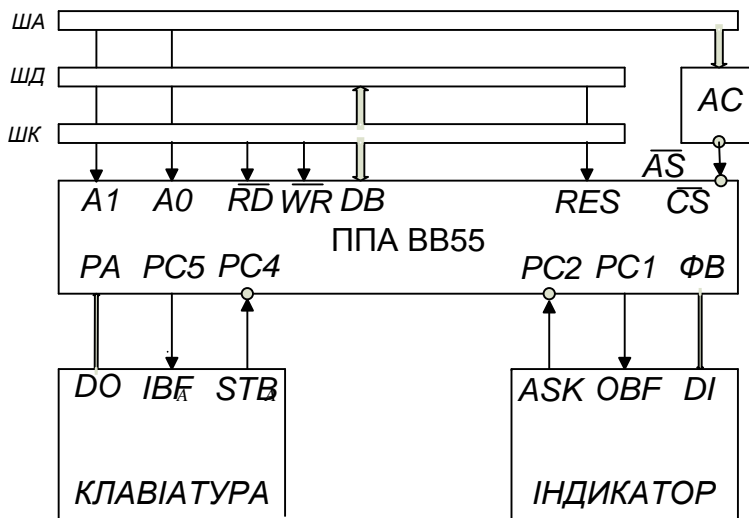
MVI A, 10110100 B;

OUT 1103H.

Схема підключення ППА до СШ МПС, до восьмирозрядних індикаторів та клавіатури показана на рис. 35.14.



**Рис.35.13. Робота ППА при введенні в режим 2:
а- керуюче слово; б- конфігурація порта С; в- часові діаграми**



**Рис.35.14. Підключення ППА до системних шин клавіатури та індикатора:
AC- адресний селектор**

35.5 Контрольно-навчальний тест до лекції 35

Питання 35.1

Який склад мікросхеми ГФ 84?

Питання 35.2

Які параметри у восьмирозрядного буферного регістра ІР 82?

Питання 35.3

Які параметри у ВА 86?

Питання 35.4

Які функції програмовного таймера?

Вибір правильної відповіді:

1 – блок живлення, LC-фільтр, тригер;

2 – задаючий генератор G, ділянки частот та допоміжні елементи;

3 – блок живлення, RC-фільтр, тригер.

Вибір правильної відповіді:

1 – схема технологія – ТТЛШ, число транзисторів на кристалі - 524, напруга живлення +5В, споживана потужність 1Вт;

2 – записування даних відбувається на входах DI7-DI0;

3 – напруга 120В, частота 60Гц.

Вибір правильної відповіді:

1 – ТТЛШ схемотехнологія, число транзисторів на кристалі – 567, напруга живлення на +5В, споживана потужність 1Вт;

2 – мінімальна напруга живлення, інтегруючі схеми

3 – розряд формувача містить дві схеми SW з трьома станами кожна.

Вибір правильної відповіді:

1 – організовує роботу МПС в режимі реального часу, дозволяє формувати сигнали з різними часовими інтервалами та

Питання 35.5

Яка структура у ПТ ВІ53?

Питання 35.6

Які технічні параметри у програмовного таймера?

Питання 35.7

Скільки існує режимів програмування ПТ?

Питання 35.8

Яке призначення у ВВ 55?

частотними характеристиками;

2 –вимірює проміжки часу;

3 – формує сигнал з певним відхиленням.

Вибір правильної відповіді:

1 – РКС, блок сполучення, буфер БД, лічильник *СТО-СТЗ*;

2 – прямолінійна.

3 – блок сполучення та БД.

Вибір правильної відповіді:

1 – буфер БД для зв'язку з мікропроцесором, введення-виведення інформації;

2 – схмотехнологія – ТТЛШ, число транзисторів на кристалі – 524;

3 – схмотехнологія – n-МОН, та число транзисторів – 1500, тактова частота 2МГц.

Вибір правильної відповіді:

1 – 3 режими;

2 – 2 режими;

3 – 6 режимів.

Вибір правильної відповіді:

1 – організація паралельного обміну між ядрам МПС та периферією;

2 – лічба елементів схеми;

3 – виконує контроль над схемою.

Вибір правильної відповіді:

1 – блок сполучення і керування;

2 – напруга живлення +5В,

Питання 35.9

Які технічні характеристики у ВВ 55?

споживча потужність 0,3Вт, схемо
технологія – *n*-МОН, число
транзисторів - 1600;
3 – напруга живлення +5В,
споживча потужність 1Вт.

Питання 35.10

Яка різниця між портами А і В?

Вибір правильної відповіді:

1 – порт В може прочитувати
більшу кількість інформації;

2 – порт В працює в синхронному
режимі, а порт А – в асинхронному;

3 – А може наструюватися на один
із трьох режимів: 0 –

напівдуплексний синхронний, 1 –

напівдуплексний асинхронний, 2 –
дуплексний асинхронний.

В – на режим 0 або 1.